

## SOLID-STATE IMAGE PICKUP DEVICE

**Patent number:** JP2002077733  
**Publication date:** 2002-03-15  
**Inventor:** TAKADA KENJI; HAGIWARA YOSHIO  
**Applicant:** MINOLTA CO LTD  
**Classification:**  
- **international:** H01L27/146; H01L27/146; (IPC1-7): H04N5/335;  
H01L27/146  
- **europen:** H01L27/146A4; H01L27/146F  
**Application number:** JP20000264059 20000831  
**Priority number(s):** JP20000264059 20000831

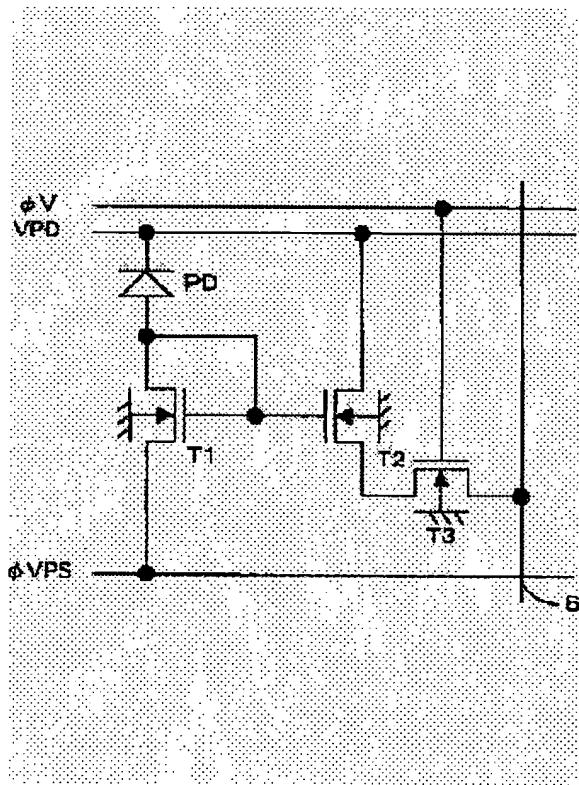
Also published as:

- EP1187217 (A2)
- US6927884 (B2)
- US2002054389 (A1)
- EP1187217 (A3)

**Report a data error here**

## Abstract of JP2002077733

**PROBLEM TO BE SOLVED:** To provide a solid-state image pickup device which can automatically switch converting operations between logarithmic converting operations and linear converting operations according to the quantity of the light made incident to a photoelectric conversion section without switching the bias voltages. **SOLUTION:** When image pickup is started, the gate voltage of a MOS transistor T1 is made lower than the source voltage of the transistor T1 by giving a pulse signal which becomes a voltage VL lower than the voltage VH which is given to the source of the transistor T1 at the time of picking up images to a signal &phiv VPS. Consequently, until the luminance value of an object exceeds a prescribed value, linearly converted electric signals are outputted, because the transistor T1 is set to a cut-off state. In addition, when the luminance value exceeds the prescribed value, logarithmically converted electric signals are outputted, because the transistor T1 operates in a sub-threshold region.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-77733

(P2002-77733A)

(43)公開日 平成14年3月15日 (2002.3.15)

(51)Int.Cl.  
H 04 N 5/335  
H 01 L 27/146

識別記号

F I  
H 04 N 5/335  
H 01 L 27/14

テ-マコト(参考)  
E 4 M 1 1 8  
P 5 C 0 2 4  
A

審査請求 有 請求項の数34 O L (全31頁)

(21)出願番号

特願2000-264059(P2000-264059)

(22)出願日

平成12年8月31日 (2000.8.31)

(71)出願人 000006079

ミノルタ株式会社  
大阪府大阪市中央区安土町二丁目3番13号  
大阪国際ビル

(72)発明者 高田 謙二

大阪市中央区安土町二丁目3番13号 大阪  
国際ビル ミノルタ株式会社内

(72)発明者 萩原 義雄

大阪市中央区安土町二丁目3番13号 大阪  
国際ビル ミノルタ株式会社内

(74)代理人 100085501

弁理士 佐野 静夫 (外1名)

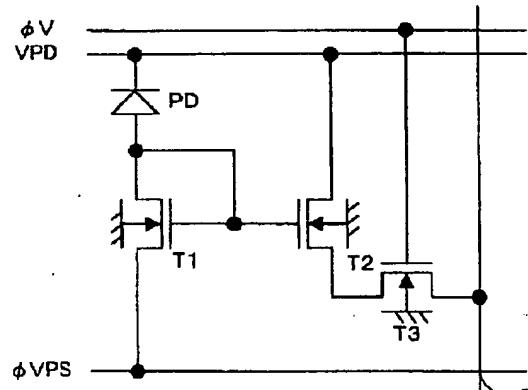
Fターム(参考) 4M118 AA10 AB01 BA14 CA02 FA06  
5C024 AX01 CX05 CX43 GX03 GY41

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】本発明は、バイアス電圧を切り換えることなく、光電変換部に入射される入射光量に応じて、自動的に対数変換動作及び線形変換動作を切り換えることができる固体撮像装置を提供することを目的とする。

【解決手段】信号φVPSに、撮像時にMOSトランジスタT1のソースに与える電圧VHより低い電圧VLとなるパルス信号を与えることによって、撮像開始時におけるMOSトランジスタT1のゲート電圧をソース電圧より低い電圧とする。よって、撮像時において、被写体が所定の輝度値を超えるまでは、MOSトランジスタT1がカットオフ状態となるので、線形変換された電気信号が出力され、又、被写体が所定の輝度値を超えたとき、MOSトランジスタT1がサブスレッショルド領域で動作するので、対数変換された電気信号が出力される。



## 【特許請求の範囲】

【請求項1】 入射光量に応じた電気信号を発生する感光素子と、  
該感光素子の一方の電極に、第1電極及び制御電極が接続されたトランジスタと、  
該トランジスタの第2電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、  
該リセット手段は、感光素子への入射光量が所定値まではトランジスタのサブスレッショルド領域での動作を禁止するように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項2】 入射光量に応じた電気信号を発生する感光素子と、  
該感光素子の一方の電極に、第1電極及び制御電極が接続されたトランジスタと、  
該トランジスタの第2電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、  
該リセット手段は、感光素子への入射光量が所定値以上になったときにトランジスタがサブスレッショルド領域で動作するように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項3】 入射光量に応じた電気信号を発生する感光素子と、  
該感光素子の一方の電極に、第1電極及び制御電極が接続されたトランジスタと、  
該トランジスタの第2電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、  
該リセット手段は、感光素子への入射光量が所定値まではトランジスタが不作動状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項4】 入射光量に応じた電気信号を発生する感光素子と、  
該感光素子の一方の電極に、第1電極及び制御電極が接続されたトランジスタと、  
該トランジスタの第2電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、  
該リセット手段は、感光素子への入射光量が所定値まではトランジスタが不作動状態となることにより、感光素子への入射光量に対して線形的に変化する出力が制御電極に現れるとともに、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うことにより、感光素子への入射光量に対して対数的に変化する出力が制御電極に現れるように、前記トランジスタをリセットすることを特徴とする固体撮像装置

置。

【請求項5】 入射した光量に応じた電気信号を発生する感光素子を有する複数の画素を備えた固体撮像装置において、  
前記各画素が、第1電極と制御電極とが前記感光素子の一方の電極に接続されるトランジスタを有し、  
前記各トランジスタの第2電極に前記パルス信号を与えることによって、前記各トランジスタをリセットするリセット手段を備え、  
該リセット手段は、前記感光素子への入射光量が所定値までは前記トランジスタが不作動状態となることにより、前記トランジスタの制御電極に前記感光素子への入射光量に対して線形的に変化する出力が現れるとともに、前記感光素子への入射光量が所定値以上になったときは前記トランジスタがサブスレッショルド領域で動作を行うことにより、前記トランジスタの制御電極に前記感光素子への入射光量に対して対数的に変化する出力が現れることを特徴とする固体撮像装置。

【請求項6】 前記各画素が、前記トランジスタの制御電極からの出力を増幅する増幅回路を有することを特徴とする請求項1に記載の固体撮像装置。

【請求項7】 前記各画素が、  
前記トランジスタの制御電極に現れる電圧をサンプリングする第1サンプリング回路と、  
該第1サンプリング回路に一端が接続された第1スイッチと、  
該第1スイッチの他端に接続されるとともに、該第1スイッチがONとなったときに、前記第1サンプリング回路でサンプリングされた電圧をサンプリングする第2サンプリング回路と、  
を有することを特徴とする請求項5又は請求項6に記載の固体撮像装置。

【請求項8】 前記各画素が、前記トランジスタの制御電極からの出力を積分する積分回路を有することを特徴とする請求項5に記載の固体撮像装置。

【請求項9】 前記各画素が、  
前記積分回路に一端が接続された第1スイッチと、  
該第1スイッチの他端に接続されるとともに、該第1スイッチがONとなったときに、前記積分回路からの出力をサンプリングするサンプリング回路と、  
を有することを特徴とする請求項8に記載の固体撮像装置。

【請求項10】 前記各画素が、前記感光素子と前記トランジスタの第1電極との間に接続された第2スイッチを有し、  
リセット時に前記第2スイッチをOFFとするとともに、撮像時に前記第2スイッチをONとすることによって、全輝度範囲において前記トランジスタがサブスレッショルド領域で動作を行い、前記トランジスタの制御電極に前記感光素子への入射光量に対して対数的に変化す

る出力が現れることを特徴とする請求項5～請求項9のいずれかに記載の固体撮像装置。

【請求項11】 入射光量に応じた電気信号を発生する感光素子と、

該感光素子の一方の電極に第2の電極が接続されたトランジスタと、

該トランジスタをリセットするリセット手段と、を備え、

該リセット手段は、前記トランジスタの制御電極に所定の第2パルス信号を与えるとともに、第1電極に所定の第1パルス信号を与えることにより、感光素子への入射光量が所定値まではトランジスタが不作動状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項12】 入射光量に応じた電気信号を発生する感光素子と、

該感光素子の一方の電極に第2の電極が接続されたトランジスタと、

該トランジスタをリセットするリセット手段と、を備え、

該リセット手段は、前記トランジスタの少なくとも制御電極に、トランジスタの第2電極の電位がトランジスタの閾値を反映し得る範囲内の所定のパルス電圧を与えることにより、感光素子への入射光量が所定値まではトランジスタが不作動状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項13】 入射した光量に応じた電気信号を発生する感光素子を有する複数の画素を備えた固体撮像装置において、

前記各画素が、

第2電極が前記感光素子の一方の電極に接続され、リセット時に第1電圧値の第1パルス信号が第1電極に与えられるとともに第2電圧値の第2パルス信号が制御電極に与えられるトランジスタを有し、

前記トランジスタの第1電極に前記第1パルス信号を与えるとともに、前記トランジスタの制御電極に前記第2パルス信号を与えることによって、前記トランジスタを通して前記トランジスタの第2電極の電圧がリセットされるとともに、

前記感光素子への入射光量が所定値までは前記トランジスタが不作動状態となることにより、前記トランジスタの第2電極に前記感光素子への入射光量に対して線形的に変化する出力が現れるとともに、前記感光素子への入射光量が所定値以上になったときは前記トランジスタがサブスレッショルド領域で動作を行うことにより、前記トランジスタの第2電極に前記感光素子への入射光量に

対して対数的に変化する出力が現れることを特徴とする固体撮像装置。

【請求項14】 前記各画素が、前記トランジスタの第2電極からの出力を増幅する增幅回路を有することを特徴とする請求項13に記載の固体撮像装置。

【請求項15】 前記各画素が、前記トランジスタの第2電極からの出力を積分する積分回路を有することを特徴とする請求項13に記載の固体撮像装置。

【請求項16】 複数の画素を有する固体撮像装置において、

前記各画素が、

第1電極に直流電圧が印加されたフォトダイオードと、該フォトダイオードの第2電極に第1電極及びゲート電極が接続されるとともに、第2電極に所定の電圧値のパルス信号が与えられる第1MOSトランジスタと、を有し、

前記第1MOSトランジスタの第2電極に前記パルス信号が与えられることによって、前記第1MOSトランジスタを通して前記第1MOSトランジスタのゲート電極の電圧がリセットされるとともに、

撮像時において、前記ダイオードに入射される光量が所定の明るさまでは前記第1MOSトランジスタが不作動状態となり、前記第1MOSトランジスタのゲート電極に前記ダイオードに入射される光量に対して線形的に変化する出力が現れるとともに、前記ダイオードに入射される光量が所定の明るさを超えたときは前記第1MOSトランジスタがサブスレッショルド領域で動作を行い、前記第1MOSトランジスタのゲート電極に前記ダイオードに入射される光量に対して対数的に変化する出力が現れることを特徴とする固体撮像装置。

【請求項17】 前記各画素が、前記第1MOSトランジスタの第1電極及びゲート電極にゲート電極が接続されるとともに、第2電極より出力信号を出力する第2MOSトランジスタを有することを特徴とする請求項16に記載の固体撮像装置。

【請求項18】 前記各画素が、前記第2MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを有することを特徴とする請求項17に記載の固体撮像装置。

【請求項19】 前記各画素が、前記第2MOSトランジスタの第2電極に一端が接続されるとともに、他端に直流電圧が印加された第1キャバシタを有することを特徴とする請求項17に記載の固体撮像装置。

【請求項20】 前記各画素が、前記第2MOSトランジスタの第2電極にゲート電極が接続されるとともに、第1電極に直流電圧が印加された第4MOSトランジスタを有することを特徴とする請求項19に記載の固体撮像装置。

【請求項21】 前記各画素が、前記第4MOSトラン

ジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを有することを特徴とする請求項20に記載の固体撮像装置。

【請求項22】 前記各画素が、前記第1MOSトランジスタの第1電極及びゲート電極に一端が接続されるとともに、他端に直流電圧が印加された第1キャパシタを有することを特徴とする請求項16に記載の固体撮像装置。

【請求項23】 前記各画素が、前記第1キャパシタの一端に第1電極が接続された第5MOSトランジスタと、前記第5MOSトランジスタの第2電極に一端が接続されるとともに、他端に直流電圧が印加された第2キャパシタと、前記第2キャパシタの一端に第1電極が接続されるとともに、第2電極に直流電圧が印加され、前記第2キャパシタをリセットする第6MOSトランジスタと、を有し、

前記各画素が同時に撮像動作を行うことによって、前記フォトダイオードに入射される光量に応じた電圧が前記第1キャパシタの一端に現れるとともに、前記各画素の前記第5MOSトランジスタを同時にONすることによって、前記第1キャパシタの一端に現れた電圧を前記第2キャパシタでサンプリングすることを特徴とする請求項19又は請求項22に記載の固体撮像装置。

【請求項24】 前記各画素が、前記第2キャパシタの一端にゲート電極が接続されるとともに、第1電極に直流電圧が印加された第4MOSトランジスタを有することを特徴とする請求項23に記載の固体撮像装置。

【請求項25】 前記各画素が、前記第4MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを有することを特徴とする請求項24に記載の固体撮像装置。

【請求項26】 前記各画素が、前記フォトダイオードの第2電極に第1電極が接続されるとともに、前記第1MOSトランジスタの第1電極及びゲート電極に第2電極が接続された第7MOSトランジスタを有し、リセット時に前記第7MOSトランジスタをOFFとす

るとともに、撮像時に前記第7MOSトランジスタをONとすることによって、全輝度範囲において前記第1MOSトランジスタがサブスレッショルド領域で動作を行い、前記第1MOSトランジスタのゲート電極に前記ダイオードに入射される光量に対して対数変換された電圧が現れることを特徴とする請求項16～請求項25のいずれかに記載の固体撮像装置。

【請求項27】 複数の画素を有する固体撮像装置において、

前記各画素が、

第2電極に直流電圧が印加されたフォトダイオードと、該フォトダイオードの第1電極に第2電極が接続され、第1電極に第1電圧値の第1パルス信号が与えられるとともに、ゲート電極に第2電圧値の第2パルス信号が与えられる第1MOSトランジスタと、を有し、

前記第1MOSトランジスタの第1電極に前記第1パルス信号が与えられた後、前記第1MOSトランジスタのゲート電極に前記第2パルス信号が与えられることによって、前記第1MOSトランジスタを通して前記第1MOSトランジスタの第2電極の電圧がリセットされるとともに、

撮像時において、前記ダイオードに入射される光量が所定の明るさまでは前記第1MOSトランジスタが不作動状態となり、前記第1MOSトランジスタの第2電極に前記ダイオードに入射される光量に対して線形的に変化する出力が現れるとともに、前記ダイオードに入射される光量が所定の明るさを超えたときは前記第1MOSトランジスタがサブスレッショルド領域で動作を行い、前記第1MOSトランジスタの第2電極に前記ダイオードに入射される光量に対して対数的に変化する出力が現れることを特徴とする固体撮像装置。

【請求項28】 前記各画素が、前記第1MOSトランジスタの第2電極にゲート電極が接続されるとともに、第2電極より出力信号を出力する第2MOSトランジスタを有することを特徴とする請求項27に記載の固体撮像装置。

【請求項29】 前記各画素が、前記第2MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを有することを特徴とする請求項28に記載の固体撮像装置。

【請求項30】 前記各画素が、前記第2MOSトランジスタの第2電極に一端が接続されるとともに、他端に直流電圧が印加された第1キャパシタを有することを特徴とする請求項28に記載の固体撮像装置。

【請求項31】 前記各画素が、前記第2MOSトランジスタの第2電極にゲート電極が接続されるとともに、第1電極に直流電圧が印加された第4MOSトランジスタを有することを特徴とする請求項30に記載の固体撮像装置。

【請求項32】 前記各画素が、前記第4MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを有することを特徴とする請求項31に記載の固体撮像装置。

【請求項33】 前記第2MOSトランジスタが、前記第1MOSトランジスタと逆極性のMOSトランジスタであることを特徴とする請求項31又は請求項32に記載の固体撮像装置。

【請求項34】 前記画素がマトリクス状に配されるこ

とを特徴とする請求項5～請求項10又は請求項13～請求項33のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入射光量に対して線形的に変化する電気信号を出力する第1状態と入射光量に対して自然対数的に変化する電気信号を出力する第2状態との間で切換可能な固体撮像装置に関する。

【0002】

【従来の技術】従来より使用されている固体撮像装置には、光電変換素子で発生した光電荷を読み出す手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、又、MOS型はフォトダイオードのpn接合容量に蓄積した電荷をMOSトランジスタを通して読み出すようになっている。しかしながら、このような従来の固体撮像装置は、発生した光電荷の電荷量に比例した出力が出来るために、ダイナミックレンジが狭いという欠点がある。

【0003】ダイナミックレンジを広くするために、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れうる状態にバイアスするバイアス手段とが備えられることによって、入射光量に対して自然対数的に変換された電気信号を出力することができる固体撮像装置も提案されている。このような固体撮像装置は、広いダイナミックレンジを有しているものの、低輝度の場合の特性やS/N比などが十分でないという問題があった。

【0004】一方、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、を有するとともに、光電流に対して線形的に変換された出力を出力する第1状態と、光電流に対して自然対数的に変換された出力を出力する第2状態と、切り換えることができる光センサ回路も提案されている（特開平10-90058号公報参照）。

【0005】

【発明が解決しようとする課題】特開平10-90058号公報で提示されている線形変換動作と対数変換動作の切換可能な光センサ回路は、MOSトランジスタのゲート電圧をドレイン電圧より十分高くしてMOSトランジスタのドレイン-ソース間のインピーダンスを低抵抗とすることによって、フォトダイオードとコンデンサとの接続ノードをリセットする。これにより、ソースの電位はドレインの電位とほぼ等しくなる。そのため、このような回路を複数設けた場合、全ての回路について、フォトダイオードとコンデンサとの接続ノードの電圧が同一となるようにリセットされることとなり、各回路からの出力にMOSトランジスタの閾値電圧の差異による各回路の感度バラツキが反映されず、線形出力動作から対

数出力動作に変わる変化点が各画素毎に異なるという不具合を生じていた。

【0006】このような問題を鑑みて、本発明は、光電変換部に入射される入射光量に応じて、自動的に対数変換動作及び線形変換動作を切り換えることができる新規且つ有効な固体撮像装置を提供することを目的とする。又、本発明は、複数の画素を有し、線形変換動作から対数変換動作に切り替わる変化点が全画素でほぼ等しい固体撮像装置を提供することを他の目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に、第1電極及び制御電極が接続されたトランジスタと、該トランジスタの第2電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、該リセット手段は、感光素子への入射光量が所定値まではトランジスタのサブスレッショルド領域での動作を禁止するように、前記トランジスタをリセットすることを特徴とする。

【0008】又、請求項2に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に、第1電極及び制御電極が接続されたトランジスタと、該トランジスタの第2電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、該リセット手段は、感光素子への入射光量が所定値以上になったときにトランジスタがサブスレッショルド領域で動作するように、前記トランジスタをリセットすることを特徴とする。

【0009】又、請求項3に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に、第1電極及び制御電極が接続されたトランジスタと、該トランジスタの第2電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、該リセット手段は、感光素子への入射光量が所定値まではトランジスタが不作動状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする。

【0010】又、請求項4に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に、第1電極及び制御電極が接続されたトランジスタと、該トランジスタの第2電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、該リセット手段は、感光素子への入射光量が所定値まではトランジスタが不作動状態となることにより、感光素子への入射光量に対して線形的に変化する出力が制御電極に現れると

にも、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うことにより、感光素子への入射光量に対して対数的に変化する出力が制御電極に現れるように、前記トランジスタをリセットすることを特徴とする。

【0011】又、請求項5に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子を有する複数の画素を備えた固体撮像装置において、前記各画素が、第1電極と制御電極とが前記感光素子の一方の電極に接続されるトランジスタを有し、前記各トランジスタの第2電極に前記パルス信号を与えることによって、前記各トランジスタをリセットするリセット手段を備え、該リセット手段は、前記感光素子への入射光量が所定値までは前記トランジスタが不作動状態となることにより、前記トランジスタの制御電極に前記感光素子への入射光量に対して線形的に変化する出力が現れるとともに、前記感光素子への入射光量が所定値以上になったときは前記トランジスタがサブスレッショルド領域で動作を行うことにより、前記トランジスタの制御電極に前記感光素子への入射光量に対して対数的に変化する出力が現れることを特徴とする。

【0012】このような固体撮像装置は、リセット時に、トランジスタの第2電極にパルス信号を与えることによって、トランジスタの制御電極に蓄積された電荷と逆極性の電荷を流し込むことによって、トランジスタの制御電極の電圧をリセットする。このとき、例えば、トランジスタをNチャネルのMOSトランジスタとしたとき、撮像動作時にトランジスタの第2電極に与える電圧より低い電圧のパルス信号を与えることによって、トランジスタのゲート電極を第2電極より低い電圧にリセットすることができる。又、トランジスタを通じてリセットを行うため、トランジスタの閾値に応じた電圧にリセットされ、結果的に、各画素において、その撮像時における光電変換特性の切換が、同一の輝度で行われる。

【0013】又、このような固体撮像装置において、請求項6に記載するように、前記各画素に、前記トランジスタの制御電極からの出力を増幅する増幅回路を設けて、出力信号を増幅するようにしても構わない。

【0014】又、請求項7に記載するように、前記各画素に、前記トランジスタの制御電極に現れる電圧をサンプリングする第1サンプリング回路と、該第1サンプリング回路に一端が接続された第1スイッチと、該第1スイッチの他端に接続されるとともに、該第1スイッチがONとなったときに、前記第1サンプリング回路でサンプリングされた電圧をサンプリングする第2サンプリング回路と、を設けて、同時に撮像して第1サンプリング回路でサンプリングされた出力信号を、第1スイッチを同時にONして第2サンプリング回路にサンプリングし、各画素毎に出力するようにしても構わない。

【0015】又、請求項8に記載するように、前記各画

素に、前記トランジスタの制御電極に現れる電圧を積分する積分回路を設けて、光源の変動成分や高周波のノイズを吸収するS/N比の良好な出力信号が出力されるようにも構わない。更に、この請求項8に記載の固体撮像装置において、請求項9に記載するように、前記各画素に、前記積分回路に一端が接続された第1スイッチと、該第1スイッチの他端に接続されるとともに、該第1スイッチがONとなったときに、前記積分回路から出力される電圧をサンプリングするサンプリング回路と、を設けて、同時に撮像して積分回路より出力される出力信号を、第1スイッチを同時にONして第2サンプリング回路にサンプリングし、各画素毎に出力するようにしても構わない。

【0016】請求項10に記載の固体撮像装置は、請求項5～請求項9のいずれかに記載の固体撮像装置において、前記各画素が、前記感光素子と前記トランジスタの第1電極との間に接続された第2スイッチを有し、リセット時に前記第2スイッチをOFFとするとともに、撮像時に前記第2スイッチをONとすることによって、全輝度範囲において前記トランジスタがサブスレッショルド領域で動作を行い、前記トランジスタの制御電極に前記感光素子に入射される光量に対して対数変換された電圧が現れることを特徴とする。

【0017】このような固体撮像装置は、リセット時に、第2スイッチをOFFすることによって、感光素子より発生する光電流の影響なくトランジスタのポテンシャル状態をリセットすることができるため、撮像時には、常に、入射光量に対して対数変換された電気信号を出力することができる。

【0018】請求項11に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に第2の電極が接続されたトランジスタと、該トランジスタをリセットするリセット手段と、を備え、該リセット手段は、前記トランジスタの制御電極に所定の第2パルス信号を与えるとともに、第1電極に所定の第1パルス信号を与えることにより、感光素子への入射光量が所定値まではトランジスタが不作動状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする。

【0019】又、請求項12に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に第2電極が接続されたトランジスタと、該トランジスタをリセットするリセット手段と、を備え、該リセット手段は、前記トランジスタの少なくとも制御電極に、トランジスタの第2電極の電位がトランジスタの閾値を反映し得る範囲内の所定のパルス電圧を与えることにより、感光素子への入射光量が所定値まではトランジスタが不作動状態となり、感光素子への入

射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする。

【0020】又、請求項13に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子を有する複数の画素を備えた固体撮像装置において、前記各画素が、第2電極が前記感光素子の一方の電極に接続され、リセット時に第1電圧値の第1パルス信号が第1電極に与えられるとともに第2電圧値の第2パルス信号が制御電極に与えられるトランジスタを有し、前記トランジスタの第1電極に前記第1パルス信号を与えるとともに、前記トランジスタの制御電極に前記第2パルス信号を与えることによって、前記トランジスタを通して前記トランジスタの第2電極の電圧がリセットされるとともに、前記感光素子への入射光量が所定値までは前記トランジスタが不作動状態となることにより、前記トランジスタの第2電極に前記感光素子への入射光量に対して線形的に変化する出力が現れるとともに、前記感光素子への入射光量が所定値以上になったときは前記トランジスタがサブスレッショルド領域で動作を行うことにより、前記トランジスタの第2電極に前記感光素子への入射光量に対して対数的に変化する出力が現れることを特徴とする。

【0021】このような固体撮像装置は、リセット時に、トランジスタの第1電極に第1パルス信号を与えた後、制御電極に第2パルスを与えることによって、トランジスタの第2電極に蓄積された電荷と逆極性の電荷を流し込むことによって、トランジスタの第2電極の電圧をリセットする。このとき、トランジスタをNチャネルのMOSトランジスタとした場合は、例えば、撮像動作時にトランジスタの第1電極に与える電圧より低い電圧のパルス信号を与えた後、撮像動作時にトランジスタの制御電極に与える電圧より高い電圧のパルス信号を与えることによって、トランジスタのゲート電極を第2電極より低い電圧にリセットすることができる。又、トランジスタを通じてリセットを行うため、トランジスタの閾値に応じた電圧にリセットされ、結果的に、各画素において、その撮像時における光電変換特性の切換が、同一の輝度で行われる。

【0022】又、このような固体撮像装置において、請求項14に記載するように、前記各画素に、前記トランジスタの第2電極からの出力を増幅する増幅回路を設けて、出力信号を増幅するようにしても構わない。

【0023】又、請求項15に記載するように、前記各画素に、前記トランジスタの第2電極からの出力を積分する積分回路を設けて、光源の変動成分や高周波のノイズを吸収するSN比の良好な出力信号が出力されるようにしても構わない。

【0024】請求項16に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、前記各画素が、

第1電極に直流電圧が印加されたフォトダイオードと、該フォトダイオードの第2電極に第1電極及びゲート電極が接続されるとともに、第2電極に所定の電圧値のパルス信号が与えられる第1MOSトランジスタと、を有し、前記第1MOSトランジスタの第2電極に前記パルス信号が与えられることによって、前記第1MOSトランジスタを通して前記第1MOSトランジスタのゲート電極の電圧がリセットされるとともに、撮像時において、前記ダイオードに入射される光量が所定の明るさまでは前記第1MOSトランジスタが不作動状態となり、前記第1MOSトランジスタのゲート電極に前記ダイオードに入射される光量に対して線形的に変化する出力が現れるとともに、前記ダイオードに入射される光量が所定の明るさを超えたときは前記第1MOSトランジスタがサブスレッショルド領域で動作を行い、前記第1MOSトランジスタのゲート電極に前記ダイオードに入射される光量に対して対数的に変化する出力が現れることを特徴とする。

【0025】このような固体撮像装置において、請求項17に記載するように、前記各画素に、前記第1MOSトランジスタの第1電極及びゲート電極にゲート電極が接続されるとともに、第2電極より出力信号を出力する第2MOSトランジスタを増幅用のMOSトランジスタとして設けても構わない。更に、請求項18に記載するように、前記各画素に、前記第2MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを、行選択用のMOSトランジスタとして設けても構わない。

【0026】又、請求項19に記載するように、前記各画素に、前記第2MOSトランジスタの第2電極に一端が接続されるとともに、他端に直流電圧が印加された第1キャバシタを設けて、光源の変動成分や高周波のノイズを吸収するSN比の良好な出力信号が出力されるようにしても構わない。又、請求項20に記載するように、前記各画素に、前記第2MOSトランジスタの第2電極にゲート電極が接続されるとともに、第1電極に直流電圧が印加された第4MOSトランジスタを、増幅用のMOSトランジスタとして設けても構わない。更に、請求項21に記載するように、前記各画素に、前記第4MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを、行選択用のMOSトランジスタとして設けても構わない。

【0027】又、請求項22に記載するように、前記各画素に、前記第1MOSトランジスタの第1電極及びゲート電極に一端が接続されるとともに、他端に直流電圧が印加された第1キャバシタを設けて、前記第1MOSトランジスタの第1電極及びゲート電極に現れた信号をサンプリングするようにしても構わない。

【0028】請求項23に記載の固体撮像装置は、請求項19又は請求項22に記載の固体撮像装置において、前記各画素が、前記第1キャパシタの一端に第1電極が接続された第5MOSトランジスタと、前記第5MOSトランジスタの第2電極に一端が接続されるとともに、他端に直流電圧が印加された第2キャパシタと、前記第2キャパシタの一端に第1電極が接続されるとともに、第2電極に直流電圧が印加され、前記第2キャパシタをリセットする第6MOSトランジスタと、を有し、前記各画素が同時に撮像動作を行うことによって、前記フォトダイオードに入射される光量に応じた電圧が前記第1キャパシタの一端に現れるとともに、前記各画素の前記第5MOSトランジスタを同時にONすることによって、前記第1キャパシタの一端に現れた電圧を前記第2キャパシタでサンプリングすることを特徴とする。

【0029】このような固体撮像装置において、請求項24に記載するように、前記各画素に、前記第2キャパシタの一端にゲート電極が接続されるとともに、第1電極に直流電圧が印加された第4MOSトランジスタを、増幅用のMOSトランジスタとして設けても構わない。更に、請求項25に記載するように、前記各画素に、前記第4MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを、行選択用のMOSトランジスタとして設けても構わない。

【0030】請求項26に記載の固体撮像装置は、請求項16～請求項25のいずれかに記載の固体撮像装置において、前記各画素が、前記フォトダイオードの第2電極に第1電極が接続されるとともに、前記第1MOSトランジスタの第1電極及びゲート電極に第2電極が接続された第7MOSトランジスタを有し、リセット時に前記第7MOSトランジスタをOFFするとともに、撮像時に前記第7MOSトランジスタをONすることによって、全輝度範囲において前記第1MOSトランジスタがサブスレッシュルド領域で動作を行い、前記第1MOSトランジスタのゲート電極に前記ダイオードに入射される光量に対して対数変換された電圧が現れることを特徴とする。

【0031】請求項27に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、前記各画素が、第2電極に直流電圧が印加されたフォトダイオードと、該フォトダイオードの第1電極に第2電極が接続され、第1電極に第1電圧値の第1パルス信号が与えられるとともに、ゲート電極に第2電圧内の第2パルス信号が与えられる第1MOSトランジスタと、を有し、前記第1MOSトランジスタの第1電極に前記第1パルス信号が与えられた後、前記第1MOSトランジスタのゲート電極に前記第2パルス信号が与えられることによって、前記第1MOSトランジスタを通して前記第1MOSトランジスタの第2電極の電圧がリセットされるとともに、撮像時において、前記ダイオードに入射される光量が所定の明るさまで前記第1MOSトランジスタが不動作状態となり、前記第1MOSトランジスタの第2電極に前記ダイオードに入射される光量に対して線形的に変化する出力が現れるとともに、前記ダイオードに入射される光量が所定の明るさを超えたときは前記第1MOSトランジスタがサブスレッシュルド領域で動作を行い、前記第1MOSトランジスタの第2電極に前記ダイオードに入射される光量に対して対数的に変化する出力が現れるこ

とを特徴とする。

【0032】このような固体撮像装置において、請求項28に記載するように、前記各画素に、前記第1MOSトランジスタの第2電極にゲート電極が接続されるとともに、第2電極より出力信号を出力する第2MOSトランジスタを、増幅用のMOSトランジスタとして設けても構わない。更に、請求項29に記載するように、前記各画素に、前記第2MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを、行選択用のMOSトランジスタとして設けても構わない。

【0033】又、請求項30に記載するように、前記各画素に、前記第2MOSトランジスタの第2電極に一端が接続されるとともに、他端に直流電圧が印加された第1キャパシタを設けて、光源の変動成分や高周波のノイズを吸収するSN比の良好な出力信号が出力されるようにも構わない。又、請求項31に記載するように、前記各画素に、前記第2MOSトランジスタの第2電極にゲート電極が接続されるとともに、第1電極に直流電圧が印加された第4MOSトランジスタを、増幅用のMOSトランジスタとして設けても構わない。更に、請求項32に記載するように、前記各画素に、前記第4MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを、行選択用のMOSトランジスタとして設けても構わない。

【0034】又、請求項33に記載の固体撮像装置は、請求項31又は請求項32に記載の固体撮像装置において、前記第2MOSトランジスタが、前記第1MOSトランジスタと逆極性のMOSトランジスタであることを特徴とする。

【0035】又、請求項34に記載の固体撮像装置は、請求項5～請求項10又は請求項13～請求項33のいずれかに記載の固体撮像装置において、前記画素マトリクス状に配されることを特徴とする。

【0036】

【発明の実施の形態】<画素構成>図1は本発明の他の実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11～Gm

nは行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、…、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、…、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2…、4-nや出力信号線6-1、6-2…、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略する。

【0037】出力信号線6-1、6-2、…、6-mごとにNチャネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。出力信号線6-1を例にとって説明すると、MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。

【0038】画素G11～Gm nには、後述するように、それらの画素で発生した光電荷に基づく信号を出力するNチャネルのMOSトランジスタTaが設けられている。MOSトランジスタTaと上記MOSトランジスタQ1との接続関係は図2(a)のようになる。このMOSトランジスタTaは、第2～第4、第6～第8、第10及び第11の実施形態では、MOSトランジスタT4に、第1、第5及び第9の実施形態では、MOSトランジスタT2に相当する。ここで、MOSトランジスタQ1のソースに接続される直流電圧VPS'、MOSトランジスタTaのドレインに接続される直流電圧VPD'との関係は $VPD' > VPS'$ であり、直流電圧VPS'は例えばグランド電圧（接地）である。この回路構成は上段のMOSトランジスタTaのゲートに信号が入力され、下段のMOSトランジスタQ1のゲートには直流電圧DCが常時印加される。このため下段のMOSトランジスタQ1は抵抗又は定電流源と等価であり、図2(a)の回路はソースフォロワ型の増幅回路となっている。この場合、MOSトランジスタTaから増幅出力されるのは電流であると考えてよい。

【0039】MOSトランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図3以降の各実施形態の画素内にはスイッチ用のNチャネルのMOSトランジスタT3も設けられている。このMOSトランジスタT3も含めて表わすと、図2(a)の回路は正確には図2(b)のようになる。即ち、MOSトランジスタT3がMOSトランジスタQ1とMOSトランジスタTaとの間に挿入されている。ここで、MOSトランジスタT3は行の選択を行う

ものであり、MOSトランジスタQ2は列の選択を行うものである。尚、図1および図2に示す構成は以下に説明する第1の実施形態～第11の実施形態に共通の構成である。

【0040】図2のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジスタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、…、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0041】<第1の実施形態>図1に示した画素構成の各画素に適用される第1の実施形態について、図面を参照して説明する。図3は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。

【0042】図3において、pnフォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダイオードPDのアノードはMOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲートに接続されている。MOSトランジスタT2のソースは行選択用のMOSトランジスタT3のドレインに接続されている。MOSトランジスタT3のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、…、6-mに対応する）へ接続されている。尚、MOSトランジスタT1～T3は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0043】又、フォトダイオードPDのカソード及びMOSトランジスタT2のドレインには直流電圧VPDが印加されるようになっている。一方、MOSトランジスタT1のソースには信号vVPSが入力される。又、MOSトランジスタT3のゲートには信号vVが入力される。尚、信号vVPSは2値の電圧信号で、入射光量が所定値を超えたときにMOSトランジスタT1をサブレッショルド領域で動作させるための電圧をVHとし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をVLとする。このような構成の画素の動作について、以下に説明する。

【0044】図4に示すタイミングチャートのように、パルス信号vVがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号vVPSをVLとしてリセット動作を行う。このとき、MOSトランジスタT1を通してMOSトランジスタT1のソース・ドレイン間に蓄積された電荷と逆極性の電荷が流入されて、MOSトランジスタT1のゲート電圧がリセットされる。

【0045】このように信号 $\phi$ VPSをVLとしてリセットを行っている際に、ハイレベルのパルス信号 $\phi$ VをMOSトランジスタT3のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このとき、リセットされたMOSトランジスタT1のゲート電圧がMOSトランジスタT2のゲートに与えられ、このMOSトランジスタT1のゲート電圧がMOSトランジスタT2で電流増幅されて、MOSトランジスタT3を介して出力信号線6に出力される。

【0046】又、MOSトランジスタT2及びMOSトランジスタQ1(図2)の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、ノイズ信号として出力信号線6に現れる。このようにしてノイズ信号が読み出されると、MOSトランジスタT3をOFFにした後、信号 $\phi$ VPSをVHにして、次の撮像動作に備える。

【0047】信号 $\phi$ VPSをVHとして撮像動作が開始すると、フォトダイオードPDより入射光量に応じた光電荷がMOSトランジスタT1に流れ込む。今、MOSトランジスタT1はカットオフ状態であるので、光電荷がMOSトランジスタT1のゲートに蓄積される。よって、撮像する被写体の輝度が低くフォトダイオードPDに入射される入射光量が少ない場合は、MOSトランジスタT1のゲートに蓄積された光電荷量に応じた電圧がMOSトランジスタT1のゲートに現れるため、入射光量の積分値に対して線形的に比例した電圧がMOSトランジスタT2のゲートに現れる。

【0048】又、撮像する被写体の輝度が高くフォトダイオードPDに入射される入射光量が多く、MOSトランジスタT1のゲートに蓄積された光電荷量に応じた電圧が高くなると、MOSトランジスタT1がサブスレッショルド領域で動作を行うため、入射光量に対して自然対数的に比例した電圧がMOSトランジスタT1のゲートに現れる。

【0049】このようにして、入射光量に対して線形的に又は自然対数的に比例した電圧がMOSトランジスタT1, T2のゲートに現れ、先と同様に、パルス信号 $\phi$ VをMOSトランジスタT3のゲートに与えることによって、入射光量に対して線形的に又は自然対数的に比例したMOSトランジスタT1のゲート電圧がMOSトランジスタT2で電流増幅されて、MOSトランジスタT3を介して出力信号線6に出力される。又、MOSトランジスタT2及びMOSトランジスタQ1の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、映像信号として出力信号線6に現れる。

【0050】このような動作を行う各画素において、MOSトランジスタT1には閾値電圧にバラツキがあるために、信号 $\phi$ VPSがVHとされた場合、線形変換動作から対数変換動作に切り替わる電圧値は、VH+VTH-K

(但し、VTHはMOSトランジスタT1の閾値電圧、Kは定数を表す)となる。本実施形態においては、信号 $\phi$ VPSがVLとされた場合、MOSトランジスタT1のゲート電極の電圧値は、実用上、ほぼVL+VTHとなる。従って、差をとると、 $\Delta V = VH - VL - K$ となり、リセットされた状態から上記切り替わり点に至らしめるために必要な電荷量は、各画素のMOSトランジスタT1の閾値バラツキによらずほぼ一定である。

【0051】よって、対数変換動作に変わるときのMOSトランジスタT1のゲート電圧に至るまでにMOSトランジスタT1に流れ込む光電荷量が、全ての画素において等しい。このように、各画素における変換動作が対数変換動作に切り替わるときのフォトダイオードPDより発生する光電荷量が等しいので、各画素における変換動作が対数変換動作に切り替わるときのフォトダイオードPDに入射される入射光量も等しい。即ち、全ての画素において、その変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度が等しいものとなり、MOSトランジスタT1の閾値電圧の差異による各画素の変換動作の切換への影響を低減することができる。

【0052】又、リセット時における信号 $\phi$ VPSの電圧値VLを変化させることによって、線形変換動作を行う際のMOSトランジスタT1のゲート電圧VGが変化する範囲を変化させることができる。よって、リセット時における信号 $\phi$ VPSの電圧値VLを変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を所望の切換点に変化させることができる。

【0053】更に、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0054】<第2の実施形態>第2の実施形態について、図面を参照して説明する。図5は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図3に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0055】図5に示すように、本実施形態では、第1の実施形態(図3)の画素に、MOSトランジスタT2のソースに一端が接続されたキャバシタC1と、同じく、MOSトランジスタT2のソースにゲートが接続されたMOSトランジスタT4とが付加された構成となる。MOSトランジスタT4は、ソースがMOSトランジスタT3のドレインに接続されるとともに、ドレイン

に直流電圧V<sub>D</sub>が印加されている。又、MOSトランジスタT<sub>2</sub>のドレインには信号 $\phi D$ が与えられ、キャパシタC<sub>1</sub>の他端に直流電圧V<sub>PS</sub>が印加される。尚、MOSトランジスタT<sub>4</sub>も、MOSトランジスタT<sub>1</sub>～T<sub>3</sub>と同様に、NチャネルのMOSトランジスタでバックゲートが接地されている。このような構成の画素の動作について、以下に説明する。

【0056】図6に示すタイミングチャートのように、パルス信号 $\phi V$ がMOSトランジスタT<sub>3</sub>のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi V$ をV<sub>L</sub>としてリセット動作を行う。このとき、MOSトランジスタT<sub>1</sub>を通して、MOSトランジスタT<sub>1</sub>のゲート電圧がリセットされる。このように信号 $\phi V$ をV<sub>L</sub>としてリセットを行っている際に、まず、ローレベルのパルス信号 $\phi D$ をMOSトランジスタT<sub>2</sub>のドレインに与えることによって、キャパシタC<sub>1</sub>に蓄積された電荷をMOSトランジスタT<sub>2</sub>を通して信号 $\phi D$ の信号線路に放出して、キャパシタC<sub>1</sub>とMOSトランジスタT<sub>2</sub>のソースとの接続ノードの電圧を初期化する。

【0057】そして、リセットされたMOSトランジスタT<sub>1</sub>のゲート電圧がMOSトランジスタT<sub>2</sub>のゲートに与えられ、このMOSトランジスタT<sub>1</sub>のゲート電圧に応じたドレイン電流がMOSトランジスタT<sub>2</sub>を通じてキャパシタC<sub>1</sub>に流れ、キャパシタC<sub>1</sub>に蓄電される。よって、キャパシタC<sub>1</sub>とMOSトランジスタT<sub>2</sub>のソースとの接続ノードの電圧が、リセットされたMOSトランジスタT<sub>1</sub>のゲート電圧に応じたものとなる。

【0058】そして、次に、ハイレベルのパルス信号 $\phi V$ をMOSトランジスタT<sub>3</sub>のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このとき、キャパシタC<sub>1</sub>とMOSトランジスタT<sub>2</sub>のソースとの接続ノードの電圧がMOSトランジスタT<sub>4</sub>に与えられ、MOSトランジスタT<sub>4</sub>で電流増幅された出力電流が、MOSトランジスタT<sub>3</sub>を介して出力信号線6に出力される。このようにして、リセット時のノイズ信号が読み出されると、再び、ローレベルのパルス信号 $\phi D$ をMOSトランジスタT<sub>2</sub>のドレインに与えて、キャパシタC<sub>1</sub>とMOSトランジスタT<sub>2</sub>のソースとの接続ノードの電圧をリセットした後、信号 $\phi V$ をV<sub>H</sub>として撮像動作に備える。

【0059】信号 $\phi V$ をV<sub>H</sub>として撮像動作が開始すると、フォトダイオードPDへの入射光量に対して線形的に又は自然対数的に比例した電圧がMOSトランジスタT<sub>1</sub>、T<sub>2</sub>のゲートに現れる。そして、この入射光量に対して線形的に又は自然対数的に比例した電圧がMOSトランジスタT<sub>2</sub>で電流増幅されたドレイン電流がキャパシタC<sub>1</sub>に流れ、キャパシタC<sub>1</sub>に蓄電される。よって、キャパシタC<sub>1</sub>とMOSトランジスタT<sub>2</sub>のソースとの接続ノードの電圧が、入射光量の積分値に対して線形的に又は自然対数的に比例した電圧となる。

【0060】そして、先と同様に、ハイレベルのパルス信号 $\phi V$ をMOSトランジスタT<sub>3</sub>のゲートに与えることによって、撮像時における映像信号を読み出す。このとき、キャパシタC<sub>1</sub>とMOSトランジスタT<sub>2</sub>のソースとの接続ノードの電圧がMOSトランジスタT<sub>4</sub>に与えられ、MOSトランジスタT<sub>4</sub>で電流増幅された出力電流が、MOSトランジスタT<sub>3</sub>を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量の積分値に対して線形的に又は自然対数的に比例した電流となる。

【0061】このように撮像動作を行っているとき、第1の実施形態と同様、所定の明るさまでは入射光量の積分値に対して線形的に比例した電圧が、所定の明るさ以上のときは入射光量の積分値に対して自然対数的に比例した電圧が、それぞれ、MOSトランジスタT<sub>2</sub>のゲートに与えられる。

【0062】このような構成の画素において、リセット時における信号 $\phi V$ の電圧値V<sub>L</sub>を変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。又、本実施形態において、キャパシタC<sub>1</sub>を用いることで、一旦キャパシタC<sub>1</sub>で積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去され、S/N比の良好な信号が得られる。

【0063】更に、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0064】<第3の実施形態>第3の実施形態について、図面を参照して説明する。図7は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図5に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0065】図7に示すように、本実施形態では、第2の実施形態(図5)の画素に、MOSトランジスタT<sub>2</sub>のソースとキャパシタC<sub>1</sub>との接続ノードにドレインが接続されたMOSトランジスタT<sub>5</sub>と、MOSトランジスタT<sub>5</sub>のソースに一端が接続されたキャパシタC<sub>2</sub>と、同じく、MOSトランジスタT<sub>5</sub>のソースにドレインが接続されたMOSトランジスタT<sub>6</sub>とが付加された構成となる。MOSトランジスタT<sub>6</sub>は、ソースに直流電圧V<sub>RS</sub>が印加されるとともに、ゲートに信号 $\phi R$ が与えられている。又、MOSトランジスタT<sub>5</sub>のゲートには信号 $\phi S$ が与えられ、キャパシタC<sub>2</sub>の他端に直流電圧V<sub>PS</sub>が印加される。尚、MOSトランジスタT<sub>5</sub>、

T6も、MOSトランジスタT1～T4と同様に、NチャネルのMOSトランジスタでバックゲートが接地されている。このような構成の画素の動作について、以下に説明する。

【0066】パルス信号 $\phi V$ がMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi VPS$ をVLとしてリセット動作を行う。このとき、MOSトランジスタT1を通して、MOSトランジスタT1のゲート電圧がリセットされる。このように信号 $\phi VPS$ をVLとしてリセットを行っている際に、まず、ローレベルのパルス信号 $\phi D$ をMOSトランジスタT2のドレインに与えることによって、キャパシタC1に蓄積された電荷をMOSトランジスタT2を通して信号 $\phi D$ の信号線路に放出して、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧を初期化する。又、信号 $\phi RS$ にパルス信号を与えることによってキャパシタC2を初期化する。

【0067】そして、リセットされたMOSトランジスタT1のゲート電圧がMOSトランジスタT2のゲートに与えられ、このMOSトランジスタT1のゲート電圧に応じたドレイン電流がMOSトランジスタT2を通じてキャパシタC1に流れ、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧が、リセットされたMOSトランジスタT1のゲート電圧に応じたものとなる。そして、信号 $\phi VPS$ をVHとして、次の撮像動作に備える。尚、この信号 $\phi D$ 、 $\phi VPS$ の動作については、図1の画素G11～Gm全てに対して、同時に行われる。

【0068】信号 $\phi VPS$ をVHとして撮像動作が開始すると、フォトダイオードPDへの入射光量に対して線形的に又は自然対数的に比例した電圧がMOSトランジスタT1、T2のゲートに現れる。そして、この入射光量に対して線形的に又は自然対数的に比例した電圧がMOSトランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れ、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧が、入射光量の積分値に対して線形的に又は自然対数的に比例した電圧となる。

【0069】そして、次に、ハイレベルのパルス信号 $\phi S$ をMOSトランジスタT5のゲートに与えることによってMOSトランジスタT5が導通し、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧がキャパシタC2によってサンプリングされる。よって、キャパシタC2とMOSトランジスタT4のゲートとの接続ノードの電圧が、入射光量の積分値に対して線形的に又は自然対数的に比例した電圧となる。尚、撮像動作が開始してからパルス信号 $\phi S$ が与えられるまでの動作については、図1の画素G11～Gm全てに対して、同時に行われる。

【0070】このように撮像動作を行っているとき、第

1の実施形態と同様、所定の明るさまでは入射光量に対して線形的に比例した電圧が、又、所定以上の明るさのときは入射光量に対して自然対数的に比例した電圧が、それぞれ、MOSトランジスタT2のゲートに与えられる。

【0071】その後、ハイレベルのパルス信号 $\phi V$ をMOSトランジスタT3のゲートに与えることによって、撮像時における映像信号を読み出す。このとき、キャパシタC2とMOSトランジスタT4のゲートとの接続ノードの電圧がMOSトランジスタT4に与えられ、MOSトランジスタT4で電流増幅された出力電流が、MOSトランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量の積分値に対して線形的に又は自然対数的に比例した電流となる。

【0072】このような構成の画素において、リセット時における信号 $\phi VPS$ の電圧値VLを変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。又、本実施形態において、キャパシタC1を用いることで、一旦キャパシタC1で積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去され、S/N比の良好な信号が得られる。又、信号 $\phi S$ を同時に与えることによって、全画素において同一時間に積分して得た映像信号をキャパシタC2にサンプリングすることができる。よって、高速で異動する被写体を撮像しても、画像歪みが生じない。

【0073】<第4の実施形態>第4の実施形態について、図面を参照して説明する。図8は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図7に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0074】図8に示すように、本実施形態では、第3の実施形態(図7)の画素より、MOSトランジスタT2が省かれた構成となる。即ち、MOSトランジスタT1のドレインとゲートの接続ノードが、キャパシタC1とMOSトランジスタT5のドレインとの接続ノードに接続される。このような構成の画素の動作について、以下に説明する。

【0075】パルス信号 $\phi V$ がMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi VPS$ をVLとしてリセット動作を行う。このとき、MOSトランジスタT1を通して、MOSトランジスタT1のゲート電圧がリセットされるとともに、キャパシタC1が初期化される。又、信号 $\phi RS$ にパルス信号を与えることによってキャパシタC2を初期化する。

【0076】その後、信号 $\phi VPS$ をVHとして撮像動作が開始すると、フォトダイオードPDへの入射光量に対

して線形的に又は自然対数的に比例した電圧がMOSトランジスタT1のゲートに現れる。そして、この入射光量に対して線形的に又は自然対数的に比例した電圧がキャパシタC1によってサンプリングされる。次に、ハイレベルのパルス信号 $\phi$ SをMOSトランジスタT5のゲートに与えることによってMOSトランジスタT5が導通し、キャパシタC1でサンプリングされた電圧がキャパシタC2によってサンプリングされる。よって、キャパシタC2とMOSトランジスタT4のゲートとの接続ノードの電圧が、入射光量に対して線形的に又は自然対数的に比例した電圧となる。尚、撮像動作が開始してからパルス信号 $\phi$ Sが与えられるまでの動作については、図1の画素G11～G20全てに対して、同時に行われる。

【0077】このように撮像動作を行っているとき、第1の実施形態と同様、入射光量に対して線形的に変化した出力、又は、入射光量に対して自然対数的に変化した出力が、それぞれ、キャパシタC1にサンプリングされる。

【0078】このような構成の画素において、リセット時における信号 $\phi$ VPSの電圧値VLを変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。又、本実施形態において、キャパシタC1を用いることで、一旦キャパシタC1で積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去され、SN比の良好な信号が得られる。又、信号 $\phi$ Sを同時に与えることによって、全画素において同一時間にキャパシタC1でサンプリングして得た映像信号をキャパシタC2にサンプリングすることができる。よって、高速で異動する被写体を撮像しても、画像歪みが生じない。

【0079】<第5の実施形態>第5の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図3に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0080】図9に示すように、本実施形態では、第1の実施形態(図3)の画素に、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとの間に接続されたMOSトランジスタT7が付加された構成となる。MOSトランジスタT7は、ドレインがフォトダイオードPDのアノードに、そして、ソースがMOSトランジスタT1のドレインにそれぞれ接続されるとともに、ゲートに信号 $\phi$ SWが与えられる。尚、MOSトランジスタT7も、MOSトランジスタT1～T3と同様に、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0081】このような構成の画素は、リセット時及び撮像時のそれにおいて、常に、ハイレベルの信号 $\phi$

SWをMOSトランジスタT7のゲートに与えて、MOSトランジスタT7をONにすることによって、第1の実施形態の画素と同様の状態とすることができます。即ち、常に、MOSトランジスタT7をONにして、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとを電気的に接続することで、被写体の輝度に応じて自動的に線形変換動作と対数変換動作とを切り換えることができる。よって、このように、MOSトランジスタT7を常にONしたときの動作については、第1の実施形態を参照するものとして、本実施形態では、その説明を省略する。

【0082】又、リセット時にMOSトランジスタT7を所定のタイミングでON/OFFさせることによって、図9のような構成の画素は、その撮像時に、全ての輝度範囲において対数変換動作を行う。このように、撮像時に、全ての輝度範囲において対数変換動作を行うときにおける、図9のような構成の画素の動作について、以下に説明する。尚、このとき、信号 $\phi$ VPSは、直流電圧VPSと略等しい電圧でMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をVhとし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をVIとする。

【0083】図10に示すタイミングチャートのように、パルス信号 $\phi$ VがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi$ SWをローレベルにしてリセット動作を行う。このとき、MOSトランジスタT1のソース側より負の電荷が流れ込み、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が再結合される。よって、ある程度までリセットされて、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが下がる。

【0084】このように、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、MOSトランジスタT1のソースに与える信号 $\phi$ VPSをVIとする。このように、MOSトランジスタT1のソース電圧を低くすることによって、MOSトランジスタT1のソースから流入する負の電荷の量が増加し、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が速やかに再結合される。

【0085】そして、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが低くなると、MOSトランジスタT1のソースに与える信号 $\phi$ VPSをVhにする。よって、MOSトランジスタT1のポテンシャル

ル状態が、基の状態にリセットされる。このようにMOSトランジスタT1のポテンシャル状態のリセットが行われると、ハイレベルのパルス信号 $\phi V$ をMOSトランジスタT3のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このようにしてノイズ信号が読み出されると、MOSトランジスタT3をOFFにした後、信号 $\phi SW$ をハイレベルにして、次の撮像動作に備える。

【0086】信号 $\phi SW$ をハイレベルにして撮像動作が開始すると、フォトダイオードPDより入射光量に応じた光電荷がMOSトランジスタT1に流れ込む。今、MOSトランジスタT1のソース電圧に $V_h$ となる信号 $\phi VPS$ が与えられるため、MOSトランジスタT1はサブスレッショルド領域で動作を行う。よって、光電流を自然対数的に変換した値の電圧がMOSトランジスタT1, T2のゲートに発生する。

【0087】このようにして、入射光量に対して自然対数的に比例した電圧がMOSトランジスタT1, T2のゲートに現れると、先と同様に、パルス信号 $\phi V$ がMOSトランジスタT3のゲートに与えられる。よって、入射光量に対して自然対数的に比例したMOSトランジスタT1のゲート電圧がMOSトランジスタT2で電流増幅されて、MOSトランジスタT3を介して出力信号線6に出力される。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

【0088】このように、リセット時に、MOSトランジスタT7をOFFさせることによって、フォトダイオードPDから流れる光電流の影響なくMOSトランジスタT1のリセットを行うことができる。又、撮像時には、常に、MOSトランジスタT1がサブスレッショルド領域で動作するため、全輝度範囲で対数変換動作を行うようになることができる。

【0089】又、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶しているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0090】<第6の実施形態>第6の実施形態について、図面を参照して説明する。図11は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図5に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0091】図11に示すように、本実施形態では、第5の実施形態(図9)と同様、第2の実施形態(図5)の画素に、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとの間に接続されたMOSト

ランジスタT7が付加された構成となる。MOSトランジスタT7は、ドレインがフォトダイオードPDのアノードに、そして、ソースがMOSトランジスタT1のドレインにそれぞれ接続されるとともに、ゲートに信号 $\phi SW$ が与えられる。

【0092】このような構成の画素は、第5の実施形態と同様、リセット時及び撮像時のそれぞれにおいて、常に、ハイレベルの信号 $\phi SW$ をMOSトランジスタT7のゲートに与えて、MOSトランジスタT7をONにすることによって、第2の実施形態の画素と同様の状態とすることができる。即ち、常に、MOSトランジスタT7をONにして、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとを電気的に接続することで、被写体の輝度に応じて自動的に線形変換動作と対数変換動作とを切り換えることができる。よって、このように、MOSトランジスタT7を常にONしたときの動作については、第2の実施形態を参照するものとして、本実施形態では、その説明を省略する。

【0093】又、第5の実施形態と同様、リセット時にMOSトランジスタT7を所定のタイミングでON/OFFさせることによって、図11のような構成の画素は、その撮像時に、全ての輝度範囲において対数変換動作を行う。このように、撮像時に、全ての輝度範囲において対数変換動作を行うときにおける、図11のような構成の画素の動作について、以下に説明する。尚、このとき、信号 $\phi VPS$ は、直流電圧VPSと略等しい電圧でMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧を $V_h$ とし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をV1とする。

【0094】図12に示すタイミングチャートのように、パルス信号 $\phi V$ がMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi SW$ をローレベルにしてリセット動作を行う。このとき、MOSトランジスタT1のソース側より負の電荷が流れ込み、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が再結合されて、ある程度までリセットされる。

【0095】次に、MOSトランジスタT1のソースに与える信号 $\phi VPS$ をV1とする。このように、MOSトランジスタT1のソース電圧を低くすることによって、MOSトランジスタT1のソースから流入する負の電荷の量を増加させる。よって、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が再結合された正の電荷が速やかに再結合される。

【0096】そして、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが低くなると、MOSトランジスタT1のソースに与える信号 $\phi VPS$ を $V_h$

にして、MOSトランジスタT1のポテンシャル状態を、基の状態にリセットする。このようにMOSトランジスタT1のポテンシャル状態のリセットが行われると、まず、ローレベルのパルス信号 $\phi D$ をMOSトランジスタT2のドレインに与えることによって、キャパシタC1に蓄積された電荷をMOSトランジスタT2を通して信号 $\phi D$ の信号線路に放出して、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧を初期化する。

【0097】そして、リセットされたMOSトランジスタT1のゲート電圧がMOSトランジスタT2のゲートに与えられ、このMOSトランジスタT1のゲート電圧がMOSトランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れて、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧が、リセットされたMOSトランジスタT1のゲート電圧に応じたものとなる。

【0098】そして、次に、ハイレベルのパルス信号 $\phi V$ をMOSトランジスタT3のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このとき、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧がMOSトランジスタT4に与えられ、MOSトランジスタT4で電流増幅された出力電流が、MOSトランジスタT3を介して出力信号線6に出力される。このようにしてノイズ信号が読み出されると、再び、ローレベルのパルス信号 $\phi D$ をMOSトランジスタT2のドレインに与えて、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧をリセットした後、信号 $\phi SW$ をハイレベルにして、次の撮像動作に備える。

【0099】信号 $\phi SW$ をハイレベルにして撮像動作が開始すると、フォトダイオードPDより入射光量に応じた光電荷がMOSトランジスタT1に流れ込む。今、MOSトランジスタT1のソース電圧が $V_h$ となる信号 $\phi VPS$ が与えられるため、MOSトランジスタT1はサブスレッショルド領域で動作を行う。よって、光電流を自然対数的に変換した値の電圧がMOSトランジスタT1, T2のゲートに発生する。

【0100】このようにして、入射光量に対して自然対数的に比例した電圧がMOSトランジスタT1, T2のゲートに現れると、この入射光量に対して自然対数的に比例した電圧がMOSトランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れて、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧が、入射光量の積分値に対して自然対数的に比例した電圧となる。

【0101】そして、先と同様に、ハイレベルのパルス信号 $\phi V$ をMOSトランジスタT3のゲートに与えるこ

とによって、撮像時における映像信号を読み出す。このとき、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧がMOSトランジスタT4に与えられ、MOSトランジスタT4で電流増幅された出力電流が、MOSトランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量の積分値に対して自然対数的に比例した電流となる。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

【0102】このように、リセット時に、MOSトランジスタT7をOFFさせることによって、フォトダイオードPDから流れる光電流の影響なくMOSトランジスタT1のリセットを行うことができる。又、撮像時には、常に、MOSトランジスタT1がサブスレッショルド領域で動作するため、全輝度範囲で対数変換動作を行うようにすることができる。

【0103】又、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶しているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0104】<第7の実施形態>第7の実施形態について、図面を参照して説明する。図13は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図7に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0105】図13に示すように、本実施形態では、第5の実施形態(図9)と同様、第3の実施形態(図7)の画素に、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとの間に接続されたMOSトランジスタT7が付加された構成となる。MOSトランジスタT7は、ドレインがフォトダイオードPDのアノードに、そして、ソースがMOSトランジスタT1のドレインにそれぞれ接続されるとともに、ゲートに信号 $\phi SW$ が与えられる。

【0106】このような構成の画素は、第5の実施形態と同様、リセット時及び撮像時のそれぞれにおいて、常に、ハイレベルの信号 $\phi SW$ をMOSトランジスタT7のゲートに与えて、MOSトランジスタT7をONにすることによって、第3の実施形態の画素と同様の状態とすることができます。即ち、常に、MOSトランジスタT7をONにして、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとを電気的に接続することで、被写体の輝度に応じて自動的に線形変換動作と対数変換動作とを切り換えることができる。よって、このように、MOSトランジスタT7を常にONしたとき

の動作については、第3の実施形態を参照するものとして、本実施形態では、その説明を省略する。

【0107】又、第5の実施形態と同様、リセット時にMOSトランジスタT7を所定のタイミングでON/OFFさせることによって、図13のような構成の画素は、その撮像時に、全ての輝度範囲において対数変換動作を行う。このように、撮像時に、全ての輝度範囲において対数変換動作を行うときにおける、図13のような構成の画素の動作について、以下に説明する。尚、このとき、信号 $\phi$ VPSは、直流電圧VPSと略等しい電圧でMOSトランジスタT1をサブレッショルド領域で動作させるための電圧をVhとし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をViとする。

【0108】パルス信号 $\phi$ VがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi$ SWをローレベルにしてリセット動作を行う。このとき、MOSトランジスタT1のソースに与える信号 $\phi$ VPSをViにして、MOSトランジスタT1を導通状態にすることによって、MOSトランジスタT1のソースから流入する負の電荷の量を増加させて、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が速やかに再結合される。

【0109】そして、MOSトランジスタT1のソースに与える信号 $\phi$ VPSをVhにして、MOSトランジスタT1のポテンシャル状態を基の状態にリセットする。このように、MOSトランジスタT1のポテンシャルの状態を基の状態にリセットした後、ローレベルのパルス信号 $\phi$ DをMOSトランジスタT2のドレインに与えることによって、キャパシタC1に蓄積された電荷をMOSトランジスタT2を通して信号 $\phi$ Dの信号線路に放出して、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧を初期化する。又、信号 $\phi$ RSにパルス信号を与えることによってキャパシタC2を初期化する。

【0110】そして、リセットされたMOSトランジスタT1のゲート電圧がMOSトランジスタT2のゲートに与えられ、このMOSトランジスタT1のゲート電圧がMOSトランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れ、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧が、リセットされたMOSトランジスタT1のゲート電圧に応じたものとなる。

【0111】そして、信号 $\phi$ SWをハイレベルにして撮像動作が開始すると、MOSトランジスタT1のソース電圧がVhとなる信号 $\phi$ VPSが与えられるため、MOSトランジスタT1はサブレッショルド領域で動作を行

うので、フォトダイオードPDへの入射光量に対して自然対数的に比例した電圧がMOSトランジスタT1, T2のゲートに現れる。そして、この入射光量に対して自然対数的に比例した電圧がMOSトランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れ、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧が、入射光量の積分値に対して自然対数的に比例した電圧となる。

【0112】そして、次に、ハイレベルのパルス信号 $\phi$ SをMOSトランジスタT5のゲートに与えることによってMOSトランジスタT5が導通し、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧がキャパシタC2によってサンプリングされる。よって、キャパシタC2とMOSトランジスタT4のゲートとの接続ノードの電圧が、入射光量の積分値に対して自然対数的に比例した電圧となる。尚、撮像動作が開始してからパルス信号 $\phi$ Sが与えられるまでの動作については、図1の画素G11~Gm全てに対して、同時に行われる。

【0113】その後、ハイレベルのパルス信号 $\phi$ VをMOSトランジスタT3のゲートに与えることによって、撮像における映像信号を読み出す。このとき、キャパシタC2とMOSトランジスタT4のゲートとの接続ノードの電圧がMOSトランジスタT4に与えられ、MOSトランジスタT4で電流増幅された出力電流が、MOSトランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量の積分値に対して自然対数的に比例した電流となる。

【0114】このように、リセット時に、MOSトランジスタT7をOFFさせることによって、フォトダイオードPDから流れる光電流の影響なくMOSトランジスタT1のリセットを行うことができる。又、撮像時には、常に、MOSトランジスタT1がサブレッショルド領域で動作するため、全輝度範囲で対数変換動作を行うようにすることができる。

【0115】<第8の実施形態>第8の実施形態について、図面を参照して説明する。図14は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図8に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0116】図14に示すように、本実施形態では、第5の実施形態(図9)と同様、第4の実施形態(図8)の画素に、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとの間に接続されたMOSトランジスタT7が付加された構成となる。MOSトランジスタT7は、ドレインがフォトダイオードPDのアノードに、そして、ソースがMOSトランジスタT1のド

レインにそれぞれ接続されるとともに、ゲートに信号 $\phi$  SWが与えられる。

【0117】このような構成の画素は、第5の実施形態と同様、リセット時及び撮像時のそれぞれにおいて、常に、ハイレベルの信号 $\phi$  SWをMOSトランジスタT7のゲートに与えて、MOSトランジスタT7をONすることによって、第4の実施形態の画素と同様の状態とすることが可能である。即ち、常に、MOSトランジスタT7をONにして、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとを電気的に接続することで、被写体の輝度に応じて自動的に線形変換動作と対数変換動作とを切り換えることができる。よって、このように、MOSトランジスタT7を常にONしたときの動作については、第4の実施形態を参照するものとして、本実施形態では、その説明を省略する。

【0118】又、第5の実施形態と同様、リセット時にMOSトランジスタT7を所定のタイミングでON/OFFさせることによって、図14のような構成の画素は、その撮像時に、全ての輝度範囲において対数変換動作を行う。このように、撮像時に、全ての輝度範囲において対数変換動作を行うときにおける、図14のような構成の画素の動作について、以下に説明する。尚、このとき、信号 $\phi$  VPSは、直流電圧VPSと略等しい電圧でMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をVhとし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をV1とする。

【0119】パルス信号 $\phi$  VがMOSトランジスタT3のゲートに与えられ、出力信号が読み出されると、まず、信号 $\phi$  SWをローレベルにしてリセット動作を行う。このとき、MOSトランジスタT1のソースに与える信号 $\phi$  VPSをV1にして、MOSトランジスタT1を導通状態にすることによって、MOSトランジスタT1のソースから流入する負の電荷の量を増加させて、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が速やかに再結合される。

【0120】そして、MOSトランジスタT1のソースに与える信号 $\phi$  VPSをVhにして、MOSトランジスタT1のポテンシャル状態を基の状態にリセットする。次に、信号 $\phi$  SWをハイレベルにして撮像動作が開始すると、MOSトランジスタT1のソース電圧にVhとなる信号 $\phi$  VPSが与えられるため、MOSトランジスタT1はサブスレッショルド領域で動作を行うので、フォトダイオードPDへの入射光量に対して自然対数的に比例した電圧がMOSトランジスタT1のゲートに現れる。そして、この入射光量に対して自然対数的に比例した電圧がキャバシタC1でサンプリングされる。

【0121】このように、撮像時のMOSトランジスタ

T1のゲート電圧がキャバシタC1でサンプリングされると、次に、ハイレベルのパルス信号 $\phi$  SをMOSトランジスタT5のゲートに与えることによってMOSトランジスタT5が導通し、キャバシタC1でサンプリングされた電圧がキャバシタC2によってサンプリングされる。よって、キャバシタC2とMOSトランジスタT4のゲートとの接続ノードの電圧が、入射光量に対して自然対数的に比例した電圧となる。尚、撮像動作が開始してからパルス信号 $\phi$  Sが与えられるまでの動作については、図1の画素G11~Gmn全てに対して、同時に行われる。

【0122】その後、ハイレベルのパルス信号 $\phi$  VをMOSトランジスタT3のゲートに与えることによって、撮像時における映像信号を読み出す。このとき、キャバシタC2とMOSトランジスタT4のゲートとの接続ノードの電圧がMOSトランジスタT4に与えられ、MOSトランジスタT4で電流増幅された出力電流が、MOSトランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量に対して自然対数的に比例した電流となる。

【0123】このように、リセット時に、MOSトランジスタT7をOFFさせることによって、フォトダイオードPDから流れる光電流の影響なくMOSトランジスタT1のリセットを行うことができる。又、撮像時には、常に、MOSトランジスタT1がサブスレッショルド領域で動作するため、全輝度範囲で対数変換動作を行うようにすることができる。

【0124】<ディプレッション型MOSトランジスタを組み合わせた構成の画素>又、第5~第8の実施形態(図9、図11、図13、図14)において、MOSトランジスタT7をディプレッション型のNチャネルのMOSトランジスタとしても構わない。この画素の構成を、図15~図18に示す。図15~図18に示すように、MOSトランジスタT7以外のMOSトランジスタT1~T6は、エンハンスメント型のNチャネルのMOSトランジスタである。

【0125】図9、図11、図13、図14の構成の画素のように、画素内に設けられたMOSトランジスタを全てエンハンスメント型のMOSトランジスタで構成したとき、MOSトランジスタT1、T7が直列に接続されるため、MOSトランジスタT7のゲートに与える信号 $\phi$  SWのハイレベルの電圧が、通常は、この画素に供給する電圧よりも高くなる。そのため、通常はMOSトランジスタT7に信号 $\phi$  SWを与えるための別の電源を設ける必要がある。

【0126】それに対して、上述したように、このMOSトランジスタT7をディプレッション型のMOSトランジスタとすることによって、そのゲートに与える信号 $\phi$  SWのハイレベルの電圧を低くすることができ、他のMOSトランジスタに与えるハイレベルの信号と同じ電

圧にすることが可能になる。これは、ディプレッション型のMOSトランジスタの閾値が負の値となるため、エンハンスマント型のMOSトランジスタと比べて、低いゲート電圧でONすることができるからである。

【0127】<PチャネルMOSトランジスタを組み合わせた構成の画素>更に、第5～第8の実施形態において、MOSトランジスタT1をPチャネルのMOSトランジスタとしても構わない。この画素の構成を、図19～図22に示す。図19～図22に示すように、MOSトランジスタT7以外のMOSトランジスタT1～T6は、NチャネルのMOSトランジスタである。又、MOSトランジスタT7のソースがフォトダイオードPDのアノードと接続されるとともに、ドレインがMOSトランジスタT1のドレインに接続される。

【0128】このような構成にしたとき、MOSトランジスタT7は、ゲート・ドレイン間の電圧差が閾値より大きければONとなり、又、ゲート・ドレイン間の電圧差が閾値より小さければOFFとなる。よって、MOSトランジスタT7のゲートに与える信号 $\phi_{SW}$ が、第5～第8の実施形態の信号 $\phi_{SW}$ とそのタイミングが逆転するとともに、MOSトランジスタT7のドレインに直列に接続されたMOSトランジスタT1の影響を受けることなく、ON/OFF動作を行うことができる。

【0129】又、MOSトランジスタT7のON/OFF動作が、MOSトランジスタT1の影響を受けることがないので、信号 $\phi_{SW}$ を供給するための別の電源を設ける必要が無くなる。更に、このようにすることによって、MOSトランジスタT7を、他のMOSトランジスタと同様にエンハンスマント型のMOSトランジスタとすることができるので、他のMOSトランジスタと同一の工程でMOSトランジスタT7を生成することが可能である。よって、上述したように、MOSトランジスタT7のみをディプレッション型のMOSトランジスタとするとときと比べて、その生産工程が簡素化される。

【0130】<第9の実施形態>第9の実施形態について、図面を参照して説明する。図23は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図3に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0131】図23に示すように、本実施形態では、フォトダイオードPDのカソードは、MOSトランジスタT8のソース及びMOSトランジスタT2のゲートに接続されている。又、MOSトランジスタT2のソースは行選択用のMOSトランジスタT3のドレインに接続されている。MOSトランジスタT3のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、…、6-mに対応する）へ接続されている。尚、MOSトランジスタT2、T3、T8は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されてい

る。

【0132】又、フォトダイオードPDのアノードには直流電圧VPSが、MOSトランジスタT2のドレインには直流電圧VPDが印加されるようになっている。又、MOSトランジスタT3のゲートには信号 $\phi_V$ が入力される。一方、MOSトランジスタT8のドレインには信号 $\phi_{VPD}$ が、又、ゲートには信号 $\phi_{VPG}$ が、それぞれ入力されるようになっている。

【0133】尚、信号 $\phi_{VPG}$ は2値の電圧信号で、入射光量が所定値を超えたときにMOSトランジスタT8をサブレッシュホールド領域で動作させるための電圧を $V_a$ とし、又、この電圧よりも高くMOSトランジスタT8のソース電圧を初期化するための電圧 $V_b$ とする。又、信号 $\phi_{VPD}$ は2値の電圧信号で、高い方は前記 $V_b$ 以上の電圧、低い方は前記 $V_a$ 以下の電圧である。このような構成の画素の動作について、以下に説明する。

【0134】図24に示すタイミングチャートのように、パルス信号 $\phi_V$ がMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi_{VPD}$ をローレベルとしてリセット動作を行う。このリセット動作について、図24のタイミングチャート及び図25のMOSトランジスタT8におけるボテンシャル変遷図を参照して説明する。

【0135】ところで、MOSトランジスタT8は、例えば、図25(a)のように、P型の半導体基板（以下、「P型基板」という。）10にN型拡散層11、12を形成し、且つ、そのN型拡散層11、12間のチャネル上に順次、酸化膜13とポリシリコン層14を形成することによって構成される。ここで、N型拡散層11、12が、それぞれMOSトランジスタT8のドレイン、ソースを形成するとともに、酸化膜13及びポリシリコン層14がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板10において、N型拡散層11、12の間の領域をゲート下領域である。又、図25(b)～(f)において、矢印の方向が、ボテンシャルが高いことを表す。

【0136】よって、撮像動作が終了した直後、MOSトランジスタT8は、例えば、図25(b)に実線で示すように、ソースより、ソース、ゲート下領域、ドレインの順に高くなるようなボテンシャル状態にある。或いは、図25(b)に実線及び一点鎖線で示すように、ゲート下領域、ソース、ドレインの順に高くなるようなボテンシャル状態にある。そして、これらいずれの状態にあっても、信号 $\phi_{VPD}$ をローレベルにしたとき、図25(c)のように、MOSトランジスタT8のドレイン側から、MOSトランジスタT8のゲート下領域及びソースに電化が注入され、ドレイン、ゲート下領域、ソースがこの信号 $\phi_{VPD}$ のローレベルに応じたボテンシャルとなる。尚、このとき、信号 $\phi_{VPG}$ の電圧値は $V_a$ である。

【0137】その後、信号 $\phi$ VPDをハイレベルに戻すと、図25(d)のように、MOSトランジスタT8のドレインが信号 $\phi$ VPDのハイレベルに応じたポテンシャルとなるとともに、MOSトランジスタT8のゲート下領域及びソースが、信号 $\phi$ VPGの電圧値 $V_a$ に応じたポテンシャルとなる。

【0138】更に、この状態から、MOSトランジスタT8のゲートに与える信号 $\phi$ VPGの電圧を $V_a$ から $V_b$ に切り換えることによって、図25(e)のように、MOSトランジスタT8のゲート下領域及びソースが、信号 $\phi$ VPGの電圧値 $V_b$ に応じたポテンシャルとなり、図25(d)の状態に比べて高くなる。

【0139】このとき、ハイレベルのパルス信号 $\phi$ VをMOSトランジスタT3のゲートに与えることによって、リセット時ににおけるノイズ信号を読み出す。このとき、リセットされたMOSトランジスタT8のソース電圧がMOSトランジスタT2のゲートに与えられ、このMOSトランジスタT8のソース電圧がMOSトランジスタT2で電流増幅されて、MOSトランジスタT3を介して出力信号線6に出力される。

【0140】そして、再び、MOSトランジスタT8のゲートに与える信号 $\phi$ VPGの電圧を $V_b$ から $V_a$ に切り換えることによって、図25(f)のように、MOSトランジスタT8のゲート下領域が、信号 $\phi$ VPGの電圧値 $V_a$ に応じたポテンシャルとなり、図25(e)の状態に比べて低くなる。よって、このとき、MOSトランジスタT8のソースの電位がゲート下領域の電位に比べて高くなる。このように、信号 $\phi$ VPD、 $\phi$ VPGが動作されることによって、MOSトランジスタT8のポテンシャル状態がリセットされる。

【0141】信号 $\phi$ VPGを $V_a$ として撮像動作が開始されると、フォトダイオードPDより入射光量に応じた光電荷がMOSトランジスタT8に流れ込む。今、MOSトランジスタT8のゲート電圧がソース電圧より低いので、MOSトランジスタT8はカットオフ状態となり、光電荷がMOSトランジスタT8のソースに蓄積される。よって、撮像する被写体の輝度が低くフォトダイオードPDに入射される入射光量が少ない場合は、MOSトランジスタT8のソースに蓄積された光電荷量に応じた電圧がMOSトランジスタT8のソースに現れるため、入射光量の積分値に対して線形的に比例した電圧がMOSトランジスタT2のソースに現れる。尚、このとき、フォトダイオードPDで発生する光電荷が負の光電荷であるので、強い光が入射されるほど、MOSトランジスタT8のソース電圧が低くなる。

【0142】又、撮像する被写体の輝度が高くフォトダイオードPDに入射される入射光量が多くなると、MOSトランジスタT8がサブスレッショルド領域で動作を行うため、入射光量に対して自然対数的に比例した電圧がMOSトランジスタT8のソースに現れる。

【0143】このようにして、入射光量に対して線形的に又は自然対数的に比例した電圧がMOSトランジスタT2のゲートに現れると、先と同様に、パルス信号 $\phi$ VがMOSトランジスタT3のゲートに与えられ、入射光量に対して線形的に又は自然対数的に比例したMOSトランジスタT8のソース電圧がMOSトランジスタT2で電流増幅されて、MOSトランジスタT3を介して出力信号線6に出力される。又、MOSトランジスタT2及びMOSトランジスタQ1の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、映像信号として出力信号線6に現れる。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

【0144】このような動作を行う各画素において、MOSトランジスタT8の閾値電圧にバラツキがあるために、 $\phi$ VPGが $V_a$ とされた場合、線形変換動作から対数変換動作に切り替わる電圧値は、 $V_a + V_x$ （但し、 $V_x$ はMOSトランジスタT8の閾値バラツキによる電圧の変動成分を表す）となる。本実施形態においては、 $\phi$ VPGが $V_b$ とされた場合、MOSトランジスタT8のソース電極の電圧値は、実用上、ほぼ $V_b + V_x$ となる。従って、差をとると、 $\Delta V = V_b - V_a$ となり、リセットされた状態から上記切り替わり点に至らしめるために必要な電荷量は、各画素のMOSトランジスタT8の閾値バラツキによらずほぼ一定である。

【0145】よって、対数変換動作に変わるときのMOSトランジスタT8のソース電圧に至るまでにMOSトランジスタT8に流れ込む光電荷量が、全ての画素において等しい。このように、各画素における変換動作が対数変換動作に切り替わるときのフォトダイオードPDより発生する光電荷量が等しいので、各画素における変換動作が対数変換動作に切り替わるときのフォトダイオードPDに入射される入射光量も等しい。即ち、全ての画素において、その変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度が等しいものとなり、MOSトランジスタT8の閾値電圧の差異による各画素の変換動作の切換への影響を低減することができる。

【0146】又、リセット時ににおける信号 $\phi$ VPGの電圧値 $V_b$ を変化させることによって、線形変換動作を行う際のMOSトランジスタT8のゲート電圧 $V_S$ が変化する範囲を変化させることができる。よって、リセット時における信号 $\phi$ VPGの電圧値 $V_b$ を変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。

【0147】更に、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正す

ば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。尚、本実施ケイタイにおいては、 $\phi$  VPDを一旦ローレベルにした後、 $\phi$  VPGをハイレベルにしているが、両者のタイミングはこれに限るものではなく、例えば、 $\phi$  VPGをハイレベルにしている間に、 $\phi$  VPDを一旦ローレベルにするようにしても構わない。

【0148】<第10の実施形態>第10の実施形態について、図面を参照して説明する。図26は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図23に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0149】図26に示すように、本実施形態では、第9の実施形態(図23)の画素に、MOSトランジスタT4, T9, T10及びキャパシタC3が付加された構成となる。MOSトランジスタT9のゲートがフォトダイオードPDのアノードとMOSトランジスタT8のソースが接続され、そのソースが一端に直流電圧VPDが印加されたキャパシタC3の他端に接続される。又、MOSトランジスタT9のソースとキャパシタC3との接続ノードにMOSトランジスタT4のゲート及びMOSトランジスタT10のソースが接続される。尚、MOSトランジスタT9, T10は、PチャネルのMOSトランジスタでバックゲートに電源電圧が印加されている。

【0150】直流電圧VPDがMOSトランジスタT4のドレインに印加されるとともに、直流電圧VPSがMOSトランジスタT9のドレインに印加される。又、MOSトランジスタT10のドレインに直流電圧VRSが印加されるとともに、そのゲートに信号 $\phi$  RSが印加される。更に、MOSトランジスタT4のソースにMOSトランジスタT3のドレインが接続される。このような構成の画素の動作について、以下に説明する。

【0151】図27に示すタイミングチャートのように、パルス信号 $\phi$  VがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi$  VPDをローレベルとしてリセット動作を行う。このとき、MOSトランジスタT8のドレイン、ゲート下領域、ソースがこの信号 $\phi$  VPDのローレベルに応じたポテンシャルとなる。その後、信号 $\phi$  VPDをハイレベルに戻すと、MOSトランジスタT8のドレインが信号 $\phi$  VPDのハイレベルに応じたポテンシャルとなるとともに、MOSトランジスタT8のゲート下領域及びソースが、信号 $\phi$  VPGの電圧値Vaに応じたポテンシャルとなる。

【0152】更に、この状態から、MOSトランジスタT8のゲートに与える信号 $\phi$  VPGの電圧をVaからVbに切り換えることによって、MOSトランジスタT8のゲート下領域及びソースが、信号 $\phi$  VPGの電圧値Vbに

応じたポテンシャルとなる。そして、まず、ローレベルのパルス信号 $\phi$  RSをMOSトランジスタT10のゲートに与えることによって、キャパシタC3に蓄電して、キャパシタC3とMOSトランジスタT9のソースとの接続ノードの電圧を初期化する。

【0153】このとき、ハイレベルのパルス信号 $\phi$  VをMOSトランジスタT3のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このとき、リセットされたMOSトランジスタT8のソース電圧に応じた電圧がMOSトランジスタT4のゲートに与えられる。そして、MOSトランジスタT4で電流增幅されて、MOSトランジスタT3を介して出力信号線6に出力される。このようにノイズ信号が読み出されると、再度、ローレベルのパルス信号 $\phi$  RSをMOSトランジスタT10のゲートに与えることによって、キャパシタC3とMOSトランジスタT9のソースとの接続ノードの電圧を初期化する。

【0154】そして、再び、MOSトランジスタT8のゲートに与える信号 $\phi$  VPGの電圧をVbからVaに切り換えることによって、MOSトランジスタT8のゲート下領域が、信号 $\phi$  VPGの電圧値Vaに応じたポテンシャルとなり、ソースの電位がゲート下領域の電位に比べて高くなる。このように、信号 $\phi$  VPD,  $\phi$  VPGが動作されることによって、MOSトランジスタT8のポテンシャル状態がリセットされる。

【0155】信号 $\phi$  VPGをVaとして撮像動作が開始すると、フォトダイオードPDへの入射光量に対して線形的に又は自然対数的に比例した電圧が、MOSトランジスタT8のソース及びMOSトランジスタT9のゲートに現れる。尚、このとき、フォトダイオードPDで発生する光電荷が負の光電荷であるので、強い光が入射されるほど、MOSトランジスタT8のソース電圧が低くなる。

【0156】このようにして光電流に対して線形的に又は自然対数的に変化した電圧がMOSトランジスタT9のゲートに現れると、MOSトランジスタT9がリセットされてMOSトランジスタT9のゲート電圧により決定される表面ポテンシャルより高い電圧になっているので、キャパシタC3から正の電荷がMOSトランジスタT9を介して流れる。このとき、MOSトランジスタT9のゲート電圧によって、キャパシタC3から流れる正の電荷量が決定される。即ち、強い光が入射されてMOSトランジスタT8のソース電圧が低くなるときほど、キャパシタC3から流れる正の電荷量が多い。

【0157】このようにしてキャパシタC3から正の電荷が流れ、キャパシタC3とMOSトランジスタT9のソースとの接続ノードの電圧が入射光量の積分値を線形的に又は自然対数的に比例した値となる。そして、パルス信号 $\phi$  Vを与えてMOSトランジスタT3をONにしたとき、前記光電流の積分値を線形的に又は自然対数的

に比例した値となる電流が、MOSトランジスタT3, T4を介して出力信号線6に導出される。このようにして入射光量の線形的に又は対数値に比例した信号(出力電流)を読み出すと、MOSトランジスタT3をOFFにする。このようにして映像信号が読み出された後、上述したりセッタ動作が行われる。

【0158】このように撮像動作を行っているとき、第9の実施形態と同様、MOSトランジスタT8のソース電圧V<sub>S</sub>が入射光量の積分値に対して線形的に比例した電圧又は、入射光量に対して自然対数的に比例した電圧が、それぞれ、MOSトランジスタT9のゲートに与えられる。

【0159】このような構成の画素において、リセット時における信号 $\phi$ VPGの電圧値V<sub>b</sub>を変化させることで、各画素の交換動作が線形交換動作から対数交換動作に切り替わるときの被写体の輝度を変化させることができる。又、本実施形態において、キャパシタC3を用いることで、一旦キャパシタC3で積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去され、SN比の良好な信号が得られる。

【0160】更に、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶しているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0161】<第11の実施形態>第11の実施形態について、図面を参照して説明する。図28は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図26に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0162】図28に示すように、本実施形態では、第10の実施形態(図26)の画素より、MOSトランジスタT10が省かれた構成となる。このとき、MOSトランジスタT9のドレインに信号 $\phi$ VPSが印加される。このように構成することによって、キャパシタC3とMOSトランジスタT9のソースとの接続ノードにおける電圧のリセットをMOSトランジスタT9を通して行う。よって、その他の動作については、第10の実施形態の動作と同様であるので、本実施形態の画素の動作については、第10の実施形態を参照するものとして省略する。

【0163】尚、本実施形態において、ハイレベルのパルス信号 $\phi$ VPSをMOSトランジスタT9のドレインに与えることによって、キャパシタC3とMOSトランジスタT9のソースとの接続ノードにおける電圧のリセットが行われる。又、本実施形態のように、MOSトラン

ジスタT10を省略できる分、第10の実施形態に比べて、その構成がシンプルになる。

【0164】更に、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶しているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0165】以上説明した各実施形態において、各画素からの信号読み出しが電荷結合素子(CCD)を用いて行うようにしても構わない。この場合、MOSトランジスタT4に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。又、上述した各実施形態では、感光素子としてフォトダイオードを用いたが、フォトダイオードに限らず、フォトトランジスタの他の感光素子を用いても構わない。更に、第2、第3、第6及び第7の実施形態において、キャパシタC1のリセットをMOSトランジスタT2を通じて行うようにしたが、キャパシタC1のリセットを行うためのMOSトランジスタを別途設けるようにしても構わない。

【0166】以上説明した第1～第9の実施形態は、画素内の能動素子であるMOSトランジスタT1～T8を全てNチャネルのMOSトランジスタで構成しているが、これらのMOSトランジスタT1～T8を全てPチャネルのMOSトランジスタで構成してもよい。又、第10及び第11の実施形態において、画素内のNチャネルのMOSトランジスタをPチャネルのMOSトランジスタに、PチャネルのMOSトランジスタをNチャネルのMOSトランジスタに変えて構成しても構わない。

【0167】図31～図38及び図47には、上記第1～第9の実施形態をPチャネルのMOSトランジスタで構成した例である第12～第20の実施形態を示している。又、図48及び図49には、上記第10及び第11の実施形態の画素のMOSトランジスタを逆極性のMOSトランジスタで構成した例である第21及び第22の実施形態を示している。又、図39～図42は、第17～第20の実施形態において、MOSトランジスタT7をディプレッション型のPチャネルのMOSトランジスタとしたものである。更に、図43～図46は、第17～第20の実施形態において、MOSトランジスタT7をNチャネルのMOSトランジスタとしたものである。そのため図29～図49では接続の極性や印加電圧の極性が逆になっている。例えば、図31(第12の実施形態)において、フォトダイオードPDはアノードに直流電圧VPDに接続され、カソードがMOSトランジスタT1のドレイン及びゲートとMOSトランジスタT2のゲートに接続されている。MOSトランジスタT1のソ-

スには信号 $\phi$ VPSが与えられる。

【0168】ところで、図31のような画素が対数変換を行うとき、直流電圧VPSと直流電圧VPDは、VPS>VPDとなっており、図3(第1の実施形態)と逆である。又、図32のような画素において、キャパシタC1の出力電圧は初期値が高い電圧で、積分によって降下する。又、MOSトランジスタT3～T7をONさせるときには、低い電圧をゲートに印加する。又、図43～図46に示す構成の画素において、NチャネルのMOSトランジスタとなるMOSトランジスタT7をONさせるときには、高い電圧をゲートに印加する。更に、図48の実施形態(第21の実施形態)において、MOSトランジスタT10をONさせるときには低い電圧をゲートに印加する。以上の通り、逆極性のMOSトランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図31～図49については図面で示すのみで、その構成や動作についての説明は省略する。

【0169】第12～第22の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図29に示している。図29については、図1と同一部分(同一の役割部分)に同一の符号を付して説明を省略する。以下、図29の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、…、6-mに対してPチャネルのMOSトランジスタQ1とPチャネルのMOSトランジスタQ2が接続されている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。

【0170】一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。ここで、MOSトランジスタQ1は画素内のPチャネルのMOSトランジスタTaと共に図30(a)に示すような增幅回路を構成している。尚、MOSトランジスタTaは、第13～第15、第17～第19、第21及び第22の実施形態ではMOSトランジスタT4に相当し、又、第12、第16及び第20の実施形態ではMOSトランジスタT2に相当する。

【0171】この場合、MOSトランジスタQ1はMOSトランジスタTaの負荷抵抗又は定電流源となっている。従って、このMOSトランジスタQ1のソースに接続される直流電圧VPS'と、MOSトランジスタTaのドレインに接続される直流電圧VPD'との関係は、VPD' < VPS' であり、直流電圧VPD'は例えばグランド電圧(接地)である。MOSトランジスタQ1のドレインはMOSトランジスタTaに接続され、ゲートには直流電圧が印加されている。PチャネルのMOSトランジスタQ2は水平走査回路3によって制御され、増幅回路

の出力を最終的な信号線9へ導出する。画素内に設けられたMOSトランジスタT3を考慮すると、図30(a)の回路は図30(b)のように表わされる。

【0172】<映像信号の補正方法>上述した第1～第22の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

【0173】図50に示す画像入力装置は、対物レンズ51と、該対物レンズ51を通して入射される光の光量に応じて電気信号を出力する固体撮像装置52と、撮像時の固体撮像装置52の映像信号が入力されて一時記憶されるメモリ53と、リセット時の固体撮像装置52のノイズ信号が入力されて一時記憶されるためのメモリ54と、メモリ53から送出される映像信号からメモリ54から記憶されるノイズ信号を補正演算する補正演算回路55と、補正演算回路55でノイズ信号により補正の施された映像信号を演算処理して外部に出力する処理部56と、リセット回路57とを有する。尚、固体撮像装置52は、第1～第22の実施形態のような回路構成の画素が設けられた固体撮像装置である。リセット回路57は、先に説明した各実施形態におけるリセット動作を行うための物であり、少なくとも電源とこの電源をON/OFFする所定のタイミングジェネレータ及びスイッチを備えている。これにより、第1の実施形態であれば、MOSトランジスタT1のソースに対して $\phi$ VPSが、第9の実施形態であれば、MOSトランジスタT8のゲートに対して $\phi$ VPG、ドレインに対して $\phi$ VPDがそれぞれ与えられMOSトランジスタがリセットされる。リセット回路57は、垂直及び水平走査回路で兼用しても良い。

【0174】このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置52から各画素毎に映像信号がメモリ53に出力される。そして、各画素が撮像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画素の感度のバラツキを調べて、ノイズ信号をメモリ54に出力する。そして、メモリ53内の各画素の映像信号とメモリ54内の各画素のノイズ信号を、補正演算回路55にこの映像信号を各画素毎に送出する。

【0175】補正演算回路55では、メモリ53から送出された映像信号がこの映像信号を出力した同一画素のメモリ54から送出されたノイズ信号によって各画素毎に補正演算される。このノイズ信号が補正演算された映像信号が処理部56に送出されて、演算処理された後、外部に出力される。又、このような画像入力装置において、メモリ53、54は、それぞれ、固体撮像装置52からライン毎に送出されるデータが記録されるラインメモリなどが用いられる。従って、メモリ53、54を固体撮像装置内に組み込むことも容易である。

【0176】

【発明の効果】本発明によると、光電変換動作を、入射光量に応じて線形変換動作と対数変換動作の間で自動的に切り換えることができる。よって、被写体が暗く、入射光量の少ない場合は、線形変換動作を行うので、リセットした後に撮像した信号に残像が生じない。逆に、被写体が明るく、入射光量の多い場合は、対数変換動作を行うので、ダイナミックレンジの広い信号を出力することができる。又、線形変換動作から対数変換動作に切り替わる輝度を、各画素全てについてほぼ一定の輝度とすることができる。又、トランジスタに与えるパルス信号の電圧値を変化させることによって、線形変換動作から対数変換動作に切り替わる輝度を変換させることができる。更に、サンプリング回路を設けることによって、全画素同時に撮像時の出力信号のサンプリングを行うことができるので、高速で異動する被写体を撮像しても画像歪みが生じない。

## 【図面の簡単な説明】

【図1】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図2】図1の一部を示す図。

【図3】本発明の第1の実施形態の1画素の構成を示す回路図。

【図4】本発明の第1の実施形態の画素の動作を示すタイミングチャート。

【図5】本発明の第2の実施形態の1画素の構成を示す回路図。

【図6】本発明の第2の実施形態の画素の動作を示すタイミングチャート。

【図7】本発明の第3の実施形態の1画素の構成を示す回路図。

【図8】本発明の第4の実施形態の1画素の構成を示す回路図。

【図9】本発明の第5の実施形態の1画素の構成を示す回路図。

【図10】本発明の第5の実施形態の画素の動作を示すタイミングチャート。

【図11】本発明の第6の実施形態の1画素の構成を示す回路図。

【図12】本発明の第6の実施形態の画素の動作を示すタイミングチャート。

【図13】本発明の第7の実施形態の1画素の構成を示す回路図。

【図14】本発明の第8の実施形態の1画素の構成を示す回路図。

【図15】本発明の第5の実施形態の1画素の構成を示す回路図。

【図16】本発明の第6の実施形態の1画素の構成を示す回路図。

【図17】本発明の第7の実施形態の1画素の構成を示す回路図。

【図18】本発明の第8の実施形態の1画素の構成を示す回路図。

【図19】本発明の第5の実施形態の1画素の構成を示す回路図。

【図20】本発明の第6の実施形態の1画素の構成を示す回路図。

【図21】本発明の第7の実施形態の1画素の構成を示す回路図。

【図22】本発明の第8の実施形態の1画素の構成を示す回路図。

【図23】本発明の第9の実施形態の1画素の構成を示す回路図。

【図24】本発明の第9の実施形態の画素の動作を示すタイミングチャート。

【図25】図23の画素の構成及びポテンシャルの関係を表した図。

【図26】本発明の第10の実施形態の1画素の構成を示す回路図。

【図27】本発明の第10の実施形態の画素の動作を示すタイミングチャート。

【図28】本発明の第11の実施形態の1画素の構成を示す回路図。

【図29】画素内の能動素子をPチャネルのMOSトランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図30】図29の一部を示す図。

【図31】本発明の第12の実施形態の1画素の構成を示す回路図。

【図32】本発明の第13の実施形態の1画素の構成を示す回路図。

【図33】本発明の第14の実施形態の1画素の構成を示す回路図。

【図34】本発明の第15の実施形態の1画素の構成を示す回路図。

【図35】本発明の第16の実施形態の1画素の構成を示す回路図。

【図36】本発明の第17の実施形態の1画素の構成を示す回路図。

【図37】本発明の第18の実施形態の1画素の構成を示す回路図。

【図38】本発明の第19の実施形態の1画素の構成を示す回路図。

【図39】本発明の第16の実施形態の1画素の構成を示す回路図。

【図40】本発明の第17の実施形態の1画素の構成を示す回路図。

【図41】本発明の第18の実施形態の1画素の構成を示す回路図。

【図42】本発明の第19の実施形態の1画素の構成を

示す回路図。

【図43】本発明の第16の実施形態の1画素の構成を示す回路図。

【図44】本発明の第17の実施形態の1画素の構成を示す回路図。

【図45】本発明の第18の実施形態の1画素の構成を示す回路図。

【図46】本発明の第19の実施形態の1画素の構成を示す回路図。

【図47】本発明の第20の実施形態の1画素の構成を示す回路図。

【図48】本発明の第21の実施形態の1画素の構成を示す回路図。

【図49】本発明の第22の実施形態の1画素の構成を示す回路図。

【図50】各実施形態の画素を用いた個体撮像装置を備えた画像入力装置の内部構造を示すブロック図。

【符号の説明】

G11～Gmn 画素

2 垂直走査回路

3 水平走査回路

4-1～4-n ライン

5 電源ライン

6-1～6-m 出力信号線

7 直流電圧線

8 ライン

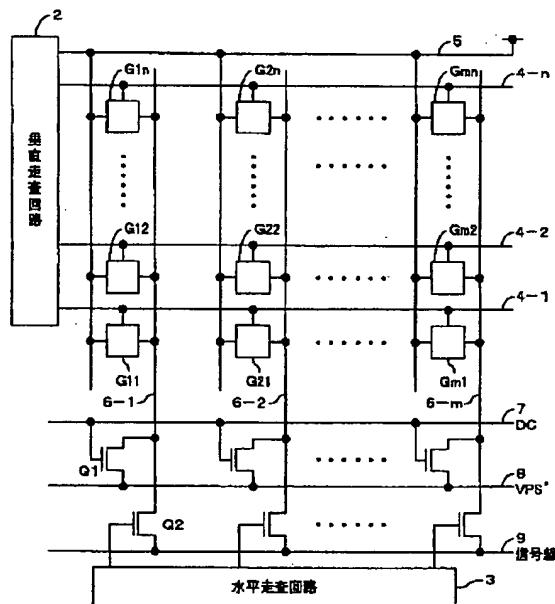
9 信号線

PD フォトダイオード

C1, C2 キャパシタ

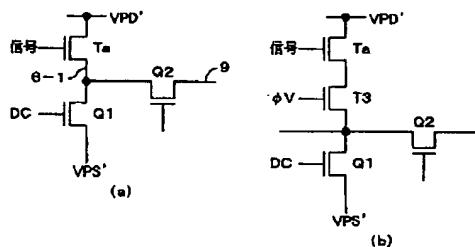
T1～T10, Q1, Q2 MOSトランジスタ

【図1】

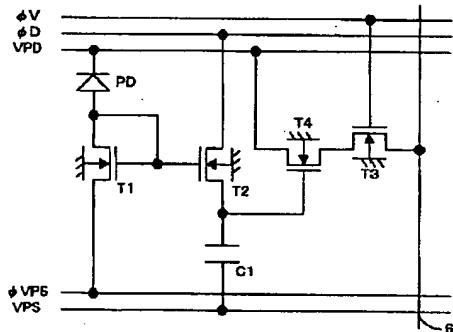


【図3】

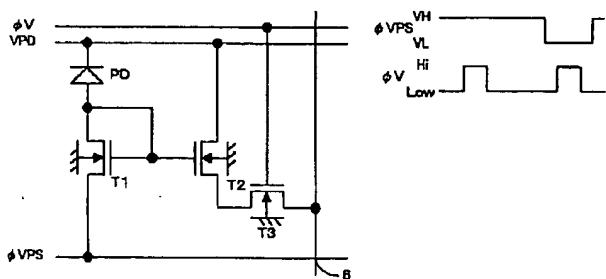
【図2】



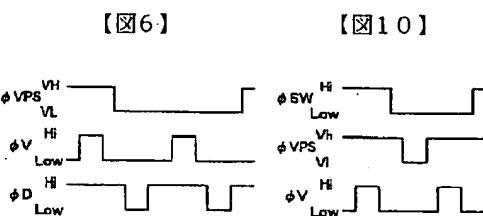
【図5】



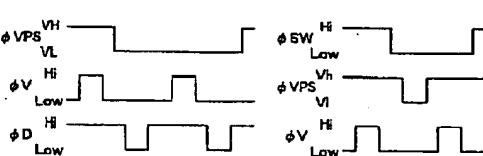
【図4】



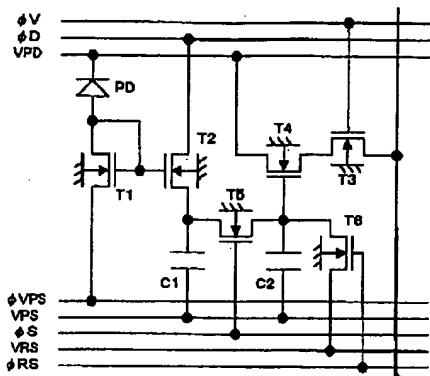
【図6】



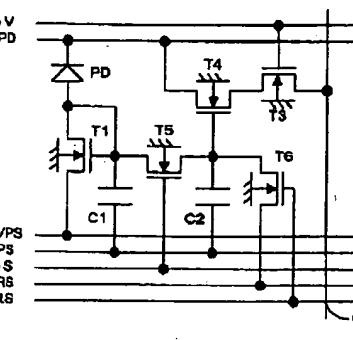
【図10】



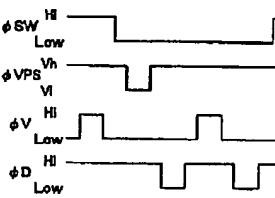
【図7】



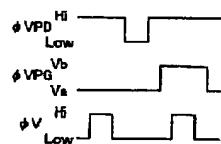
【図8】



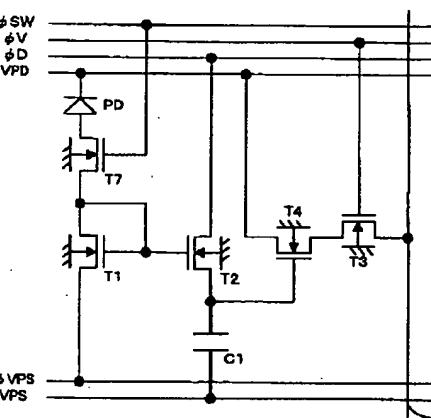
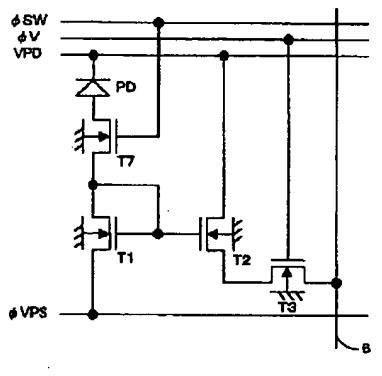
【図12】



【図24】

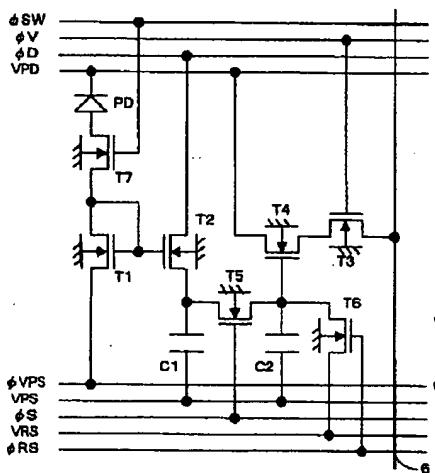


【図9】

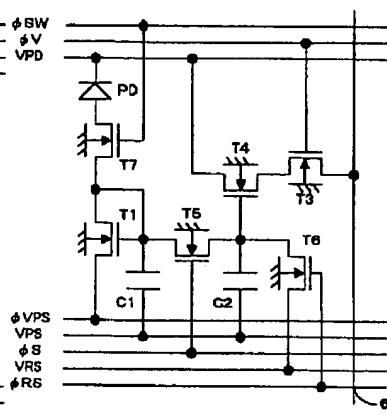


【図11】

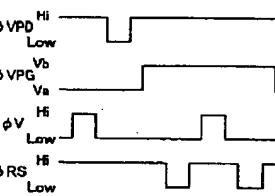
【図13】



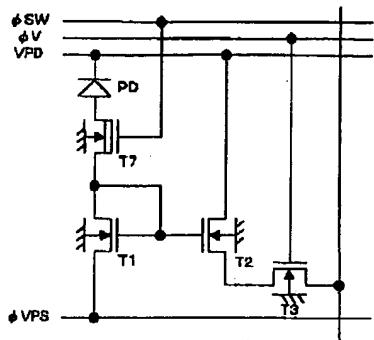
【図14】



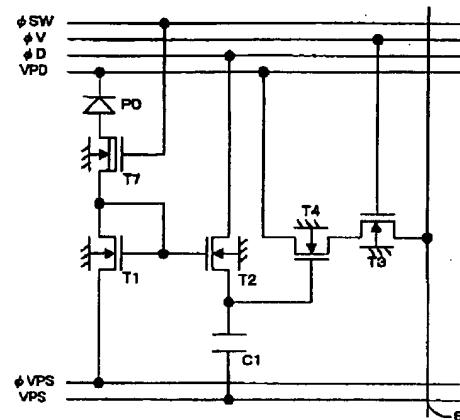
【図27】



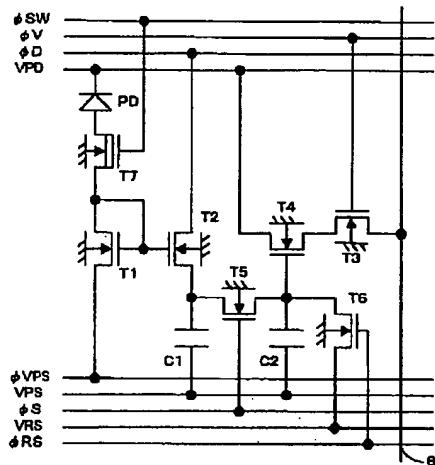
【図15】



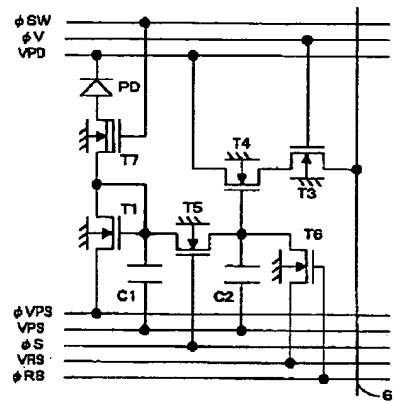
【図16】



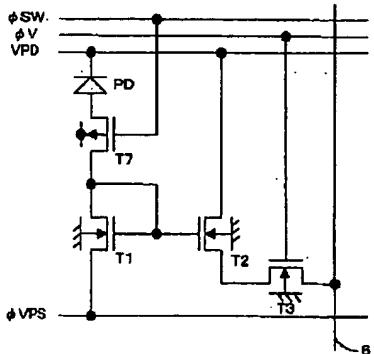
【図17】



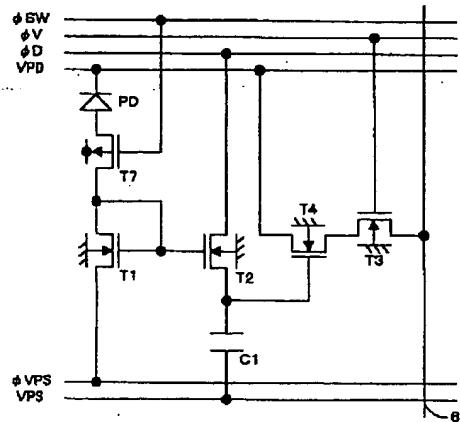
【図18】



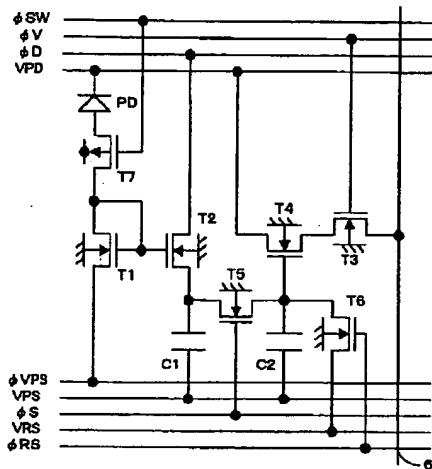
【図19】



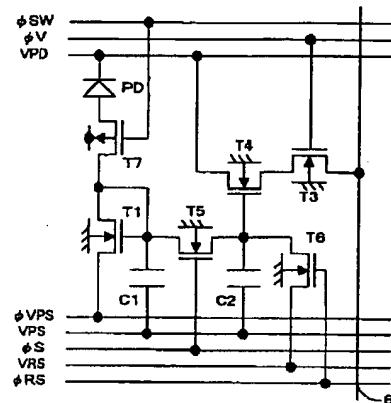
【図20】



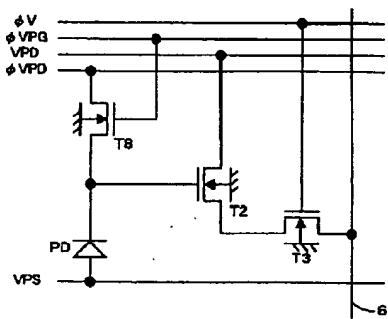
【図21】



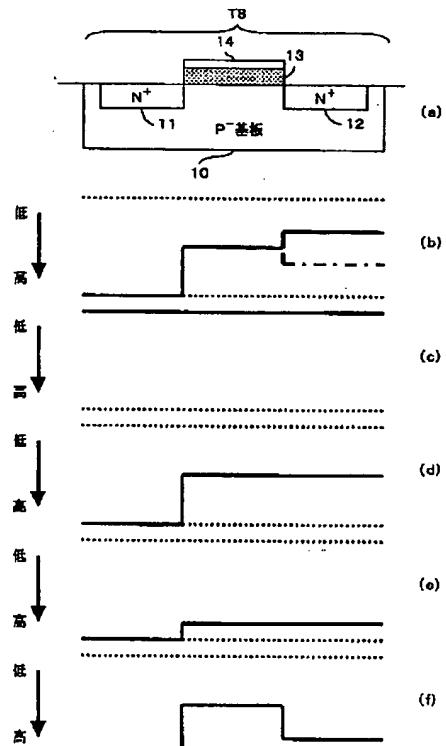
【図22】



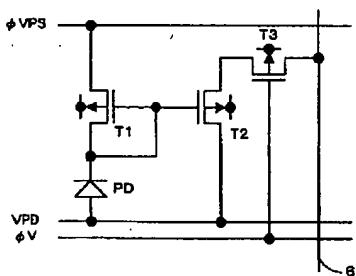
【図23】



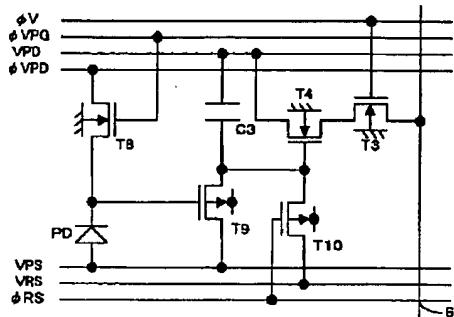
【図25】



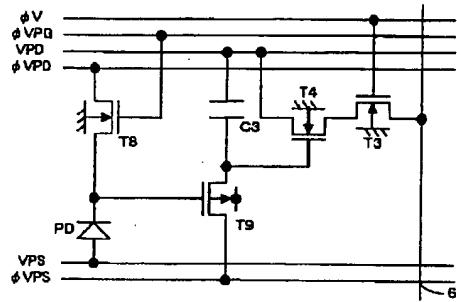
【図31】



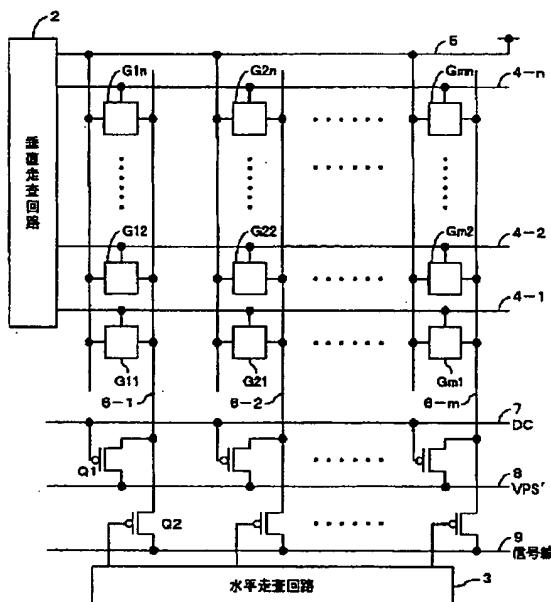
【图26】



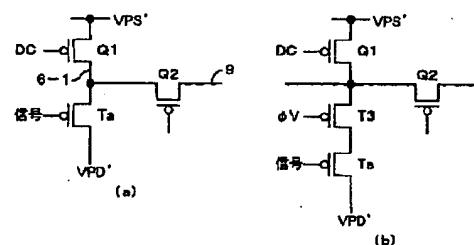
【図28】



【図29】

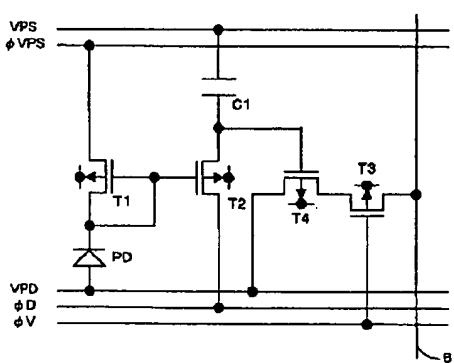


【图30】

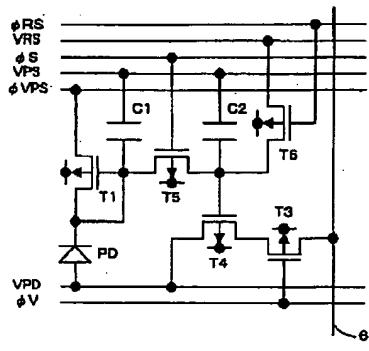


【図33】

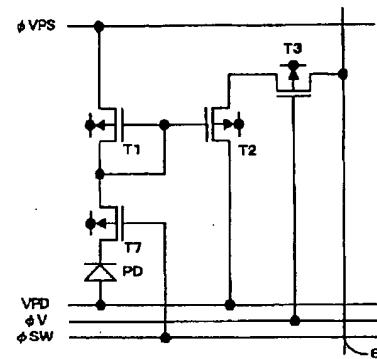
[图32]



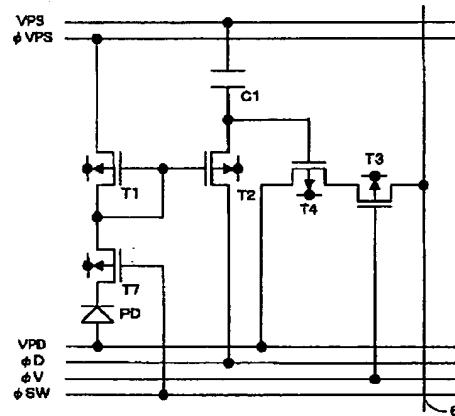
【図34】



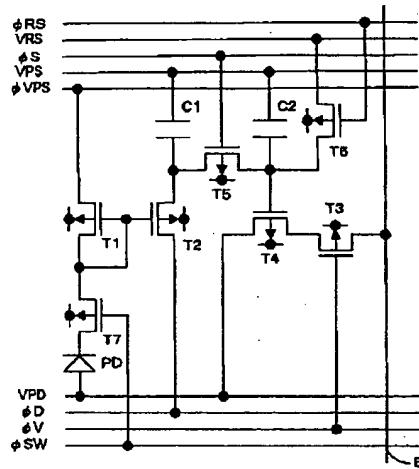
【図35】



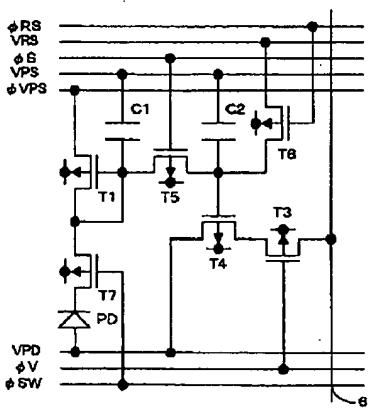
【図36】



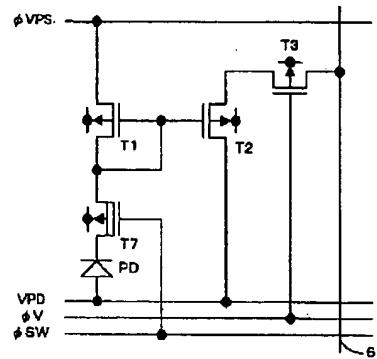
[図37]



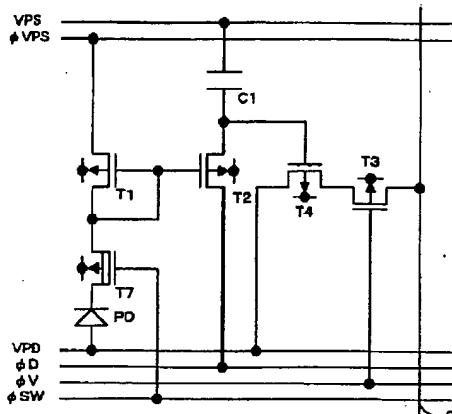
【图38】



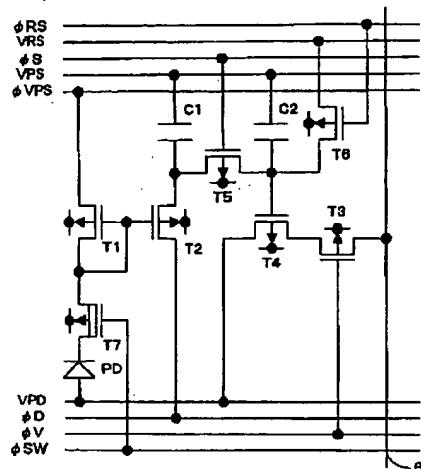
【図39】



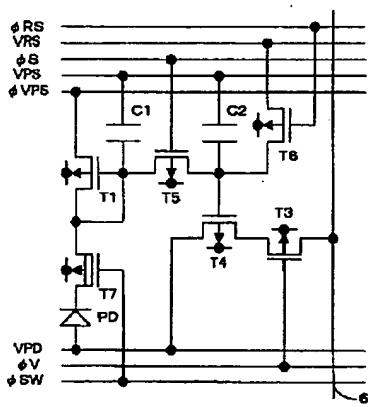
【图40】



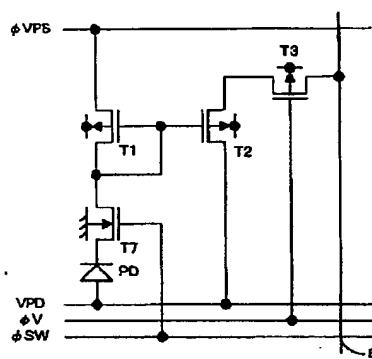
【図41】



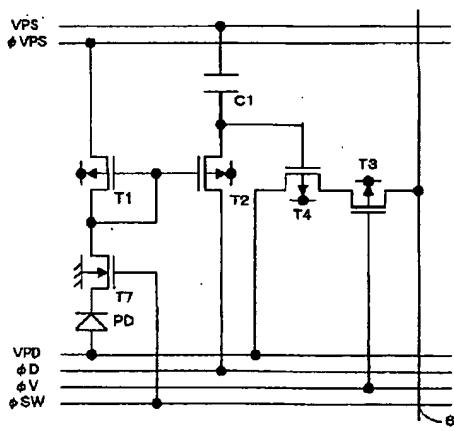
【图42】



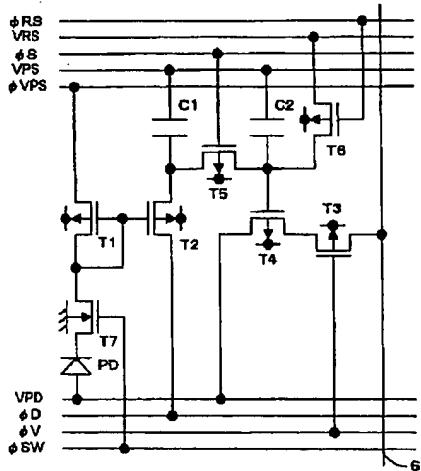
【図43】



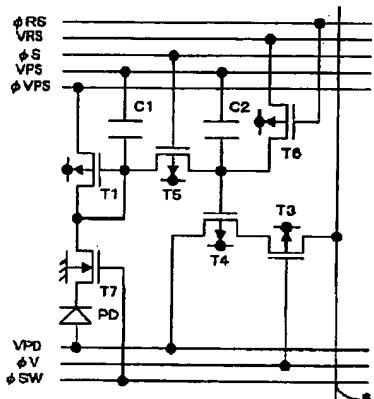
【图44】



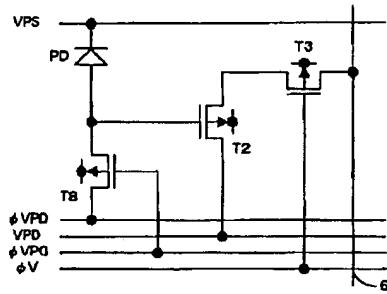
【図45】



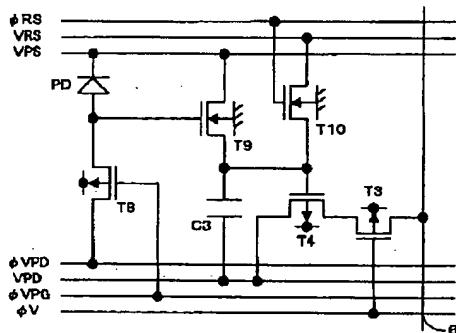
【図46】



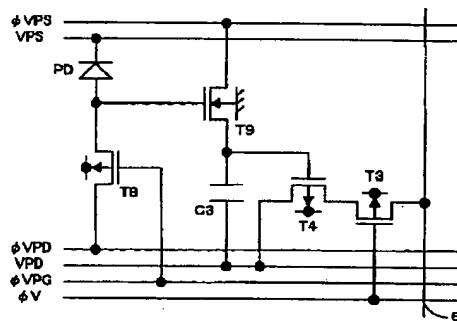
【図47】



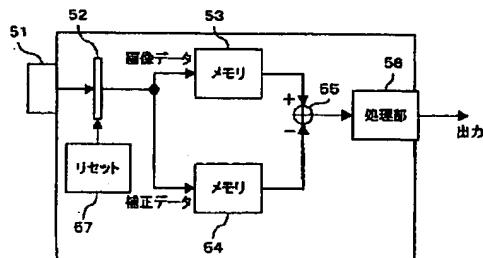
【図48】



【図49】



【図50】



【手続補正書】

【提出日】平成13年8月20日(2001.8.20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項6

【補正方法】変更

【補正内容】

【請求項6】 前記各画素が、前記トランジスタの制御電極からの出力を増幅する増幅回路を有することを特徴とする請求項5に記載の固体撮像装置。